

1/5/2
DIALOG(R) File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

07182554 **Image available**
DELAY CIRCUIT, VOLTAGE CONTROLLED DELAY CIRCUIT, VOLTAGE CONTROLLED
OSCILLATION CIRCUIT, DELAY REGULATING CIRCUIT, DLL CIRCUIT AND PLL CIRCUIT

PUB. NO.: 2002-050945 A]
PUBLISHED: February 15, 2002 (20020215)
INVENTOR(s): TACHIMORI HIROSHI
APPLICANT(s): SONY CORP
APPL. NO.: 2000-232998 [JP 2000232998]
FILED: August 01, 2000 (20000801)
INTL CLASS: H03K-005/13; H03H-011/26; H03K-003/354; H03L-007/081;
 H03L-007/099

ABSTRACT

PROBLEM TO BE SOLVED: To achieve an inverter type delay circuit, a voltage controlled oscillation circuit and a voltage controlled delay circuit with simple circuit configuration which can reduce the effect of power noise and jitter.

SOLUTION: These circuits are so constituted that a driving current is controlled according to a bias voltage or a controlling voltage, that dependence of delay time of each delay stage on source voltage is suppressed by connecting a plurality of delay stages whose delay time is determined by the driving current, by adding the change in source voltage to the bias voltage or the controlling voltage at a predetermined ratio, and by supplying the result of the addition to each of the delay stage, and that a plurality of delay stages each of which has a different dependence on the source voltage, for example, the dependence whose delay time runs counter to each other, are connected at a prescribed ratio. Thus, the delay circuit, the voltage controlled delay circuit and the voltage controlled oscillation circuit which can suppress the dependence of the delay time of the whole delay circuit on source voltage can be achieved.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-50945

(P2002-50945A)

(43) 公開日 平成14年2月15日 (2002.2.15)

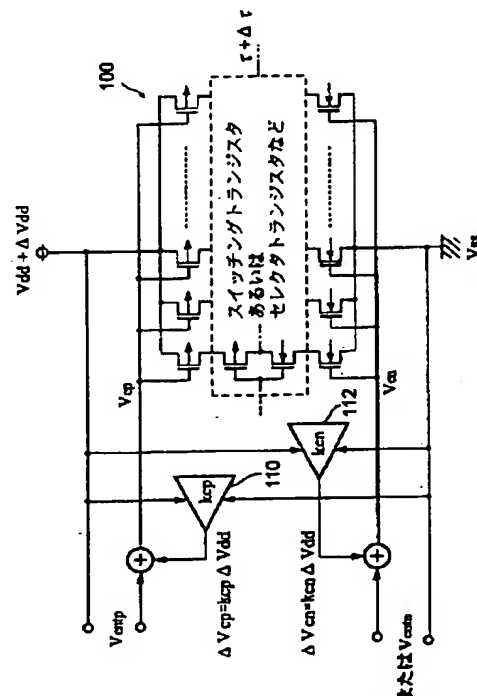
(51) Int. Cl. ⁷	識別記号	FI	テマコード* (参考)
H03K 5/13		H03K 5/13	5J001
H03H 11/26		H03H 11/26	B 5J098
H03K 3/354		H03K 3/354	B 5J106
H03L 7/081		H03L 7/08	J
7/099			F
審査請求 未請求 請求項の数71 OL (全 45 頁)			
(21) 出願番号	特願2000-232998(P2000-232998)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成12年8月1日 (2000.8.1)	(72) 発明者	日月 央 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会 社内
		(74) 代理人	100094053 弁理士 佐藤 隆久
		最終頁に続く	

(54) 【発明の名称】 遅延回路、電圧制御遅延回路、電圧制御発振回路、遅延調整回路、DLL回路及びPLL回路

(57) 【要約】

【課題】 回路構成を簡略化でき、電源ノイズの影響を低減でき、ジッタの低減を実現できるインバータ型の遅延回路、電圧制御発振回路、電圧制御遅延回路を実現する。

【解決手段】 バイアス電圧または制御電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段を複数段接続し、電源電圧の変動を所定の割合で上記バイアス電圧または制御電圧に加算し、加算結果を上記各遅延段に供給することで、各遅延段の遅延時間の電源電圧依存性を抑制し、また、異なる電源電圧依存性、例えば、遅延時間が互いに相反する電源電圧依存性を持つ複数の遅延段を所定の割合で接続し、遅延回路全体の遅延時間の電源電圧依存性を抑制できる遅延回路、電圧制御遅延回路及び電圧制御発振回路を実現する。



【特許請求の範囲】

【請求項1】 バイアス電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段を有する遅延回路であって、電源電圧の変動を所定の割合で上記バイアス電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する遅延回路。

【請求項2】 上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記バイアス電圧に加算する交流加算手段を含む請求項1記載の遅延回路。

【請求項3】 上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1のキャパシタと、上記バイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとを有する請求項2記載の遅延回路。

【請求項4】 上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記バイアス電圧に加算する直流加算手段を含む請求項1記載の遅延回路。

【請求項5】 上記直流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1の抵抗素子と、

上記バイアス電圧の供給線と基準電圧の供給線との間に接続されている第2の抵抗素子とを有する請求項4記載の遅延回路。

【請求項6】 上記遅延段は、MOS型インバータと、上記インバータと上記電源電圧の供給線との間に接続され、ゲートに第1のバイアス電圧が印加される第1の電流源トランジスタと、

上記インバータと基準電圧の供給線との間に接続され、ゲートに第2のバイアス電圧が印加される第2の電流源トランジスタとを有する請求項1記載の遅延回路。

【請求項7】 上記MOS型インバータは、第1の電流源トランジスタと第2の電流源トランジスタを電流源トランジスタとした差動構成のインバータである請求項6記載の遅延回路。

【請求項8】 上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記第1のバイアス電圧に加算する第1の交流加算手段と、

上記電源電圧の変動量に含まれている交流成分を上記第2のバイアス電圧に加算する第2の交流加算手段とを含む請求項6記載の遅延回路。

【請求項9】 上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1のキャパシタと、

上記バイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとを有する請求項8記載の遅延回路。

【請求項10】 上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記第1のバイアス電圧に加

算する第1の直流加算手段と、

上記電源電圧の変動量に含まれている直流成分を上記第2のバイアス電圧に加算する第2の直流加算手段とを含む請求項6記載の遅延回路。

【請求項11】 上記遅延段は、MOS型インバータと、一方の端子が上記電源電圧の供給線に接続され、ゲートに第1のバイアス電圧が印加される複数の第1の電流源トランジスタと、

一方の端子が基準電圧の供給線に接続され、ゲートに第2のバイアス電圧が印加される複数の第2の電流源トランジスタと、

上記第1の電流源トランジスタと上記インバータとの間に接続され、上記複数の第1の電流源トランジスタの出力電流の何れかまたは幾つかを選択して上記インバータに供給する第1のスイッチング回路と、

上記第2の電流源トランジスタと上記インバータとの間に接続され、上記複数の第2の電流源トランジスタの出力電流の何れかまたは幾つかを選択して上記インバータに供給する第2のスイッチング回路とを有する請求項2記載の遅延回路。

【請求項12】 上記MOS型インバータは、複数の第1の電流源トランジスタと複数の第2電流源トランジスタを電流源トランジスタとした差動構成のインバータである請求項11記載の遅延回路。

【請求項13】 上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1のキャパシタと、

上記バイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとを有する請求項11記載の遅延回路。

【請求項14】 上記遅延段は、MOS型インバータと、一方の端子が上記インバータの出力端子に接続され、ゲートに上記バイアス電圧が印加されるスイッチングトランジスタと、

一方の電極が上記スイッチングトランジスタの他方の端子に接続され、他方の電極が基準電圧の供給線に接続されているキャパシタとを有する請求項1記載の遅延回路。

【請求項15】 上記加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続され、上記電源電圧の変動の交流成分を上記バイアス電圧にカップリングするキャパシタを有する請求項14記載の遅延回路。

【請求項16】 供給される駆動電流によって遅延時間が決められる遅延段を有する遅延回路であって、

上記遅延段は、MOS型インバータと、第1のバイアス電圧に応じて、上記インバータに第1の駆動電流を供給する第1の電流源回路と、

第2のバイアス電圧に応じて、上記第1の駆動電流と異なる電源電圧依存性を持つ第2の駆動電流を上記インバ

ータに供給する第2の電流源回路とを有する遅延回路。

【請求項17】上記電源電圧の変動を第1の割合で上記第1のバイアス電圧に加算し、加算結果を上記第1の電流源回路に供給する第1の加算手段と、

上記電源電圧の変動を第2の割合で上記第2のバイアス電圧に加算し、加算結果を上記第2の電流源回路に供給する第2の加算手段とを有する請求項16記載の遅延回路。

【請求項18】上記第1の加算手段は、上記電源電圧の供給線と上記第1のバイアス電圧の供給線との間に接続され、上記電源電圧の変動の交流成分を上記バイアス電圧にカップリングするキャパシタを有する請求項17記載の遅延回路。

【請求項19】上記第2の加算手段は、上記電源電圧の供給線と上記第2のバイアス電圧の供給線との間に接続されている第1のキャパシタと、
上記バイアス電圧の供給線と基準電圧との供給線との間に接続されている第2のキャパシタとを有する請求項17記載の遅延回路。

【請求項20】上記MOS型インバータは、共通の電流出力端子を有する第1の電流源回路と第2の電流源回路を電流源回路とした差動構成のインバータであり、
電源電圧の供給線と第1のバイアス電圧の供給線との間に接続されている第1のキャパシタと、第1のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとにより、電源電圧の変動の交流成分を第1の割合で、第1の電流源回路の制御電圧に供給する手段と、
電源電圧の供給線と第2のバイアス電圧の供給線との間に接続されている第3のキャパシタと、第2のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第4のキャパシタとにより、電源電圧の変動の交流成分を第2の割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項16記載の遅延回路。

【請求項21】上記MOS型インバータは、共通の電流出力端子を有する第1の電流源回路と第2の電流源回路を電流源回路とした差動構成のインバータであり、
電源電圧の供給線と第1のバイアス電圧の供給線との間に接続されている第1のキャパシタ、あるいは、第1のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第1のキャパシタとにより、電源電圧の変動の交流成分を第1の電流源回路の制御電圧に供給しない手段と、

電源電圧の供給線と第2のバイアス電圧の供給線との間に接続されている第2のキャパシタと、第2のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第3のキャパシタとにより、電源電圧の変動の交流成分を第2の割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項16記載の遅延回

路。

【請求項22】上記第1のキャパシタは、可変容量である請求項19記載の遅延回路。

【請求項23】上記第2のキャパシタは、可変容量である請求項19記載の遅延回路。

【請求項24】上記第2の加算手段は、上記電源電圧の供給線と上記第2のバイアス電圧の供給線との間に接続されている第1の抵抗素子と、
上記バイアス電圧の供給線と基準電圧との供給線との間に接続されている第2の抵抗素子とを有する請求項17記載の遅延回路。

【請求項25】上記第2の加算手段は、上記電源電圧の供給線と上記第2のバイアス電圧の供給線との間に直列接続されている第1のダイオードと第1の抵抗素子と、
上記第2のバイアス電圧の供給線と基準電圧の供給線との間に直列接続されている第2の抵抗素子と第2のダイオードとを有する請求項17記載の遅延回路。

【請求項26】異なる電源電圧依存性を持つ複数の遅延段からなる遅延回路であって、

第1の電源電圧依存性を持つ第1の遅延段と、

上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる遅延回路。

【請求項27】上記遅延回路のジッタが所望の目標値以下の遅延時間の間に、上記第1の遅延段と第2の遅延段の割合が決定される請求項26記載の遅延回路。

【請求項28】上記第1と第2の遅延段の他に、遅延時間の電源電圧依存性が抑制された第3の遅延段が設けられている請求項26記載の遅延回路。

【請求項29】入力信号に所定の遅延時間を与えた遅延信号を出力する遅延調整回路であって、

バイアス電圧を生成するバイアス回路と、

上記バイアス電圧に応じて制御された複数の異なる遅延時間で上記入力信号を遅延し、複数の遅延信号を出力する遅延回路と、

選択信号に応じて、上記遅延回路から出力される複数の遅延信号のうち何れかまたは幾つかを選択する選択回路とを有し、

上記遅延回路は、請求項1～28記載の遅延回路である遅延調整回路。

【請求項30】制御電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段を有する電圧制御遅延回路であって、

電源電圧の変動を所定の割合で上記制御電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する電圧制御遅延回路。

【請求項31】上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記制御電圧に加算する交流加算手段を含む請求項30記載の電圧制御遅延回路。

【請求項32】上記加算手段は、上記電源電圧の変動量

に含まれている直流成分を上記制御電圧に加算する直流加算手段を含む請求項 30 記載の電圧制御遅延回路。

【請求項 33】上記遅延段は、MOS 型インバータと、上記インバータと上記電源電圧の供給線との間に接続され、ゲートに第 1 の制御電圧が印加される第 1 の電流源トランジスタと、

上記インバータと基準電圧の供給線との間に接続され、ゲートに第 2 の制御電圧が印加される第 2 の電流源トランジスタとを有する請求項 30 記載の電圧制御遅延回路。

【請求項 34】上記 MOS 型インバータは、第 1 の電流源トランジスタと第 2 の電流源トランジスタを電流源トランジスタとした差動構成のインバータである請求項 33 記載の電圧制御遅延回路。

【請求項 35】上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第 1 のキャパシタと、

上記バイアス電圧の供給線と基準電圧 (GND) の供給線との間に接続されている第 2 のキャパシタとを有する請求項 31 記載の電圧制御遅延回路。

【請求項 36】上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記第 1 の制御電圧に加算する第 1 の交流加算手段と、

上記電源電圧の変動量に含まれている交流成分を上記第 2 の制御電圧に加算する第 2 の交流加算手段とを含む請求項 35 記載の電圧制御遅延回路。

【請求項 37】上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記第 1 の制御電圧に加算する第 1 の直流加算手段と、

上記電源電圧の変動量に含まれている直流成分を上記第 2 の制御電圧に加算する第 2 の直流加算手段とを含む請求項 35 記載の電圧制御遅延回路。

【請求項 38】上記遅延段は、MOS 型インバータと、一方の端子が上記電源電圧の供給線に接続され、ゲートに第 1 の制御電圧が印加される複数の第 1 の電流源トランジスタと、

一方の端子が基準電圧の供給線に接続され、ゲートに第 2 の制御電圧が印加される複数の第 2 の電流源トランジスタと、

上記第 1 の電流源トランジスタと上記インバータとの間に接続され、上記複数の第 1 の電流源トランジスタの出力電流の何れかまたは幾つかを選択して上記インバータに供給する第 1 のスイッチング回路と、

上記第 2 の電流源トランジスタと上記インバータとの間に接続され、上記複数の第 2 の電流源トランジスタの出力電流の何れかまたは幾つかを選択して上記インバータに供給する第 2 のスイッチング回路とを有する請求項 31 記載の電圧制御遅延回路。

【請求項 39】上記 MOS 型インバータは、複数の第 1 の電流源トランジスタと複数の第 2 の電流源トランジスタ

タを電流源トランジスタとした差動構成のインバータである請求項 38 記載の電圧制御遅延回路。

【請求項 40】上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第 1 のキャパシタと、

上記バイアス電圧の供給線と基準電圧 (GND) の供給線との間に接続されている第 2 のキャパシタとを有する請求項 38 記載の電圧制御遅延回路。

【請求項 41】上記遅延段は、MOS 型インバータと、一方の端子が上記インバータの出力端子に接続され、ゲートに上記制御電圧が印加されるスイッチングトランジスタと、

一方の電極が上記スイッチングトランジスタの他方の端子に接続され、他方の電極が基準電圧の供給線に接続されているキャパシタとを有する請求項 30 記載の電圧制御遅延回路。

【請求項 42】上記加算手段は、上記電源電圧の供給線と上記制御電圧の供給線との間に接続され、上記電源電圧の変動の交流成分を上記制御電圧にカップリングするキャパシタを有する請求項 41 記載の電圧制御遅延回路。

【請求項 43】供給される駆動電流によって遅延時間が決められる遅延段を有する電圧制御遅延回路であって、上記遅延段は、MOS 型インバータと、

第 1 の制御電圧に応じて、上記インバータに第 1 の駆動電流を供給する第 1 の電流源回路と、第 2 の制御電圧に応じて、上記第 1 の駆動電流と異なる電源電圧依存性を持つ第 2 の駆動電流を上記インバータに供給する第 2 の電流源回路とを有する電圧制御遅延回路。

【請求項 44】上記電源電圧の変動を第 1 の割合で上記第 1 の制御電圧に加算し、加算結果を上記第 1 の電流源回路に供給する第 1 の加算手段と、

上記電源電圧の変動を第 2 の割合で上記第 2 の制御電圧に加算し、加算結果を上記第 2 の電流源回路に供給する第 2 の加算手段とを有する請求項 43 記載の電圧制御遅延回路。

【請求項 45】上記 MOS 型インバータは、共通の電流出力端子を有する第 1 の電流源回路と第 2 の電流源回路を電流源回路とした差動構成のインバータであり、電源電圧の供給線と第 1 のバイアス電圧の供給線との間に接続されている第 1 のキャパシタと、第 1 のバイアス電圧の供給線と基準電圧 (GND) の供給線との間に接続されている第 2 のキャパシタとにより、電源電圧の変動の交流成分を第 1 の割合で、第 1 の電流源回路の制御電圧に供給する手段と、

電源電圧の供給線と第 2 のバイアス電圧の供給線との間に接続されている第 3 のキャパシタと、第 2 のバイアス電圧の供給線と基準電圧 (GND) の供給線との間に接続されている第 4 のキャパシタとにより、電源電圧の変

動の交流成分を第2の割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項4記載の電圧制御遅延回路。

【請求項46】上記MOS型インバータは、共通の電流出力端子を有する第1の電流源回路と第2の電流源回路を電流源回路とした差動構成のインバータであり、電源電圧の供給線と第1のバイアス電圧の供給線との間に接続されている第1のキャパシタ、あるいは、第1のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第1のキャパシタとにより、電源電圧の変動の交流成分を、第1の電流源回路の制御電圧に供給しない手段と、電源電圧の供給線と第2のバイアス電圧の供給線との間に接続されている第2のキャパシタと、第2のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第3のキャパシタとにより、電源電圧の変動の交流成分をある割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項4記載の電圧制御遅延回路。

【請求項47】異なる電源電圧依存性を持つ複数の遅延段からなる電圧制御遅延回路であって、制御電圧に応じて遅延時間が制御され、第1の電源電圧依存性を持つ第1の遅延段と、上記制御電圧に応じて遅延時間が制御され、上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる電圧制御遅延回路。

【請求項48】上記電圧制御遅延回路のジッタが所望の目標値以下の遅延時間の間に、上記第1の遅延段と第2の遅延段の割合が決定される請求項47記載の電圧制御遅延回路。

【請求項49】上記第1と第2の遅延段の他に、遅延時間の電源電圧依存性が抑制された第3の遅延段が設けられている請求項47記載の電圧制御遅延回路。

【請求項50】入力信号と遅延信号との位相を比較し、当該比較結果に応じた位相差信号を出力する位相比較手段と、

上記位相差信号に応じて制御電圧を出力する電圧出力手段と、

上記制御電圧に応じて制御された遅延時間で上記入力信号を遅延し、上記遅延信号を出力する電圧制御遅延回路と、

を有し、上記電圧制御遅延回路は、請求項30～49記載の電圧制御遅延回路であるDLL回路。

【請求項51】制御電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段がリング状に接続される電圧制御発振回路であって、電源電圧の変動を所定の割合で上記制御電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する電圧

制御発振回路。

【請求項52】上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記制御電圧に加算する交流加算手段を含む請求項51記載の電圧制御発振回路。

【請求項53】上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記制御電圧に加算する直流加算手段を含む請求項51記載の電圧制御発振回路。

【請求項54】上記遅延段は、MOS型インバータと、上記インバータと上記電源電圧の供給線との間に接続され、ゲートに第1の制御電圧が印加される第1の電流源トランジスタと、

上記インバータと基準電圧の供給線との間に接続され、ゲートに第2の制御電圧が印加される第2の電流源トランジスタとを有する請求項51記載の電圧制御発振回路。

【請求項55】上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記第1の制御電圧に加算する第1の交流加算手段と、

上記電源電圧の変動量に含まれている交流成分を上記第2の制御電圧に加算する第2の交流加算手段とを含む請求項54記載の電圧制御発振回路。

【請求項56】上記MOS型インバータは、第1の電流源トランジスタと第2の電流源トランジスタを電流源トランジスタとした差動構成のインバータである請求項55記載の電圧制御発振回路。

【請求項57】上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1のキャパシタと、

上記バイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとを有する請求項55記載の電圧制御発振回路。

【請求項58】上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記第1の制御電圧に加算する第1の直流加算手段と、

上記電源電圧の変動量に含まれている直流成分を上記第2の制御電圧に加算する第2の直流加算手段とを含む請求項54記載の電圧制御発振回路。

【請求項59】上記遅延段は、MOS型インバータと、一方の端子が上記電源電圧の供給線に接続され、ゲートに第1の制御電圧が印加される複数の第1の電流源トランジスタと、

一方の端子が基準電圧の供給線に接続され、ゲートに第2の制御電圧が印加される複数の第2の電流源トランジスタと、

上記第1の電流源トランジスタと上記インバータとの間に接続され、上記複数の第1の電流源トランジスタの出力電流の何れかまたは幾つかを選択して上記インバータに供給する第1のスイッチング回路と、

上記第2の電流源トランジスタと上記インバータとの間に接続され、上記複数の第2の電流源トランジスタの出

10

20

30

40

50

力電流の何れかまたは幾つかを選択して上記インバータに供給する第2のスイッチング回路とを有する請求項5記載の電圧制御発振回路。

【請求項60】上記MOS型インバータは、複数の第1の電流源トランジスタと複数の第2の電流源トランジスタを電流源トランジスタとした差動構成のインバータである請求項59記載の電圧制御発振回路。

【請求項61】上記交流加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続されている第1のキャパシタと、

上記バイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとを有する請求項59記載の電圧制御発振回路。

【請求項62】上記遅延段は、MOS型インバータと、一方の端子が上記インバータの出力端子に接続され、ゲートに上記制御電圧が印加されるスイッチングトランジスタと、

一方の電極が上記スイッチングトランジスタの他方の端子に接続され、他方の電極が基準電圧の供給線に接続されているキャパシタとを有する請求項51記載の電圧制御発振回路。

【請求項63】上記加算手段は、上記電源電圧の供給線と上記制御電圧の供給線との間に接続され、上記電源電圧の変動の交流成分を上記制御電圧にカップリングするキャパシタを有する請求項62記載の電圧制御発振回路。

【請求項64】供給される駆動電流によって遅延時間が決められる遅延段がリング状に接続される電圧制御発振回路であって、

上記遅延段は、MOS型インバータと、第1の制御電圧に応じて、上記インバータに第1の駆動電流を供給する第1の電流源回路と、第2の制御電圧に応じて、上記第1の駆動電流と異なる電源電圧依存性を持つ第2の駆動電流を上記インバータに供給する第2の電流源回路とを有する電圧制御発振回路。

【請求項65】上記電源電圧の変動を第1の割合で上記第1の制御電圧に加算し、加算結果を上記第1の電流源回路に供給する第1の加算手段と、

上記電源電圧の変動を第2の割合で上記第2の制御電圧に加算し、加算結果を上記第2の電流源回路に供給する第2の加算手段とを有する請求項64記載の電圧制御発振回路。

【請求項66】上記MOS型インバータは、共通の電流出力端子を有する第1の電流源回路と第2の電流源回路を電流源回路とした差動構成のインバータであり、電源電圧の供給線と第1のバイアス電圧の供給線との間に接続されている第1のキャパシタと、第1のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第2のキャパシタとにより、電源電圧の変

動の交流成分を第1の割合で、第1の電流源回路の制御電圧に供給する手段と、

電源電圧の供給線と第2のバイアス電圧の供給線との間に接続されている第3のキャパシタと、第2のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第4のキャパシタとにより、電源電圧の変動の交流成分を第2の割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項65記載の電圧制御発振回路。

10 【請求項67】上記MOS型インバータは、共通の電流出力端子を有する第1の電流源回路と第2の電流源回路を電流源回路とした差動構成のインバータであり、電源電圧の供給線と第1のバイアス電圧の供給線との間に接続されている第1のキャパシタ、あるいは、第1のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第1のキャパシタとにより、電源電圧の変動の交流成分を第1の電流源回路の制御電圧に供給しない手段と、

20 電源電圧の供給線と第2のバイアス電圧の供給線との間に接続されている第2のキャパシタと、第2のバイアス電圧の供給線と基準電圧（GND）の供給線との間に接続されている第3のキャパシタとにより、電源電圧の変動の交流成分をある割合で、第2の電流源回路の制御電圧に供給する手段とを有する請求項65記載の電圧制御発振回路。

【請求項68】異なる電源電圧依存性を持つ複数の遅延段がリング状に接続される電圧制御発振回路であって、制御電圧に応じて遅延時間が制御され、第1の電源電圧依存性を持つ第1の遅延段と、

30 上記制御電圧に応じて遅延時間が制御され、上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる電圧制御発振回路。

【請求項69】上記電圧制御発振回路のジッタが所望の目標値以下の遅延時間の間に、上記第1の遅延段と第2の遅延段の割合が決定される請求項68記載の電圧制御発振回路。

【請求項70】上記第1と第2の遅延段の他に、遅延時間の電源電圧依存性が抑制された第3の遅延段が設けられている請求項68記載の電圧制御発振回路。

【請求項71】基準信号と発振信号との位相を比較し、当該比較結果に応じた位相差信号を出力する位相比較手段と、

上記位相差信号に応じて制御電圧を出力する電圧出力手段と、

上記制御電圧に応じて制御された発振周波数で発振し、

上記発振信号を出力する電圧制御発振回路とを有し、

上記電圧制御発振回路は、請求項51～70記載の電圧制御発振回路であるPLL回路。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、遅延回路、例えば、電源電圧のノイズに影響されことなく、安定した遅延時間を持つ遅延回路、または制御電圧に応じて遅延時間を制御可能な電圧制御遅延回路、さらに、制御電圧に応じて発振周波数を制御可能な電圧制御発振回路、及び遅延回路を用いた遅延調整回路、DLL (Delay Locked Loop) 回路及びPLL (Phase Locked Loop) 回路に関するものである。

【0002】

【従来の技術】電源電圧が変動するなど、電源ノイズが存在する場合に、遅延回路あるいは電圧制御遅延回路の遅延時間が変動する。また、複数の遅延回路をリング状に接続して構成された発振回路において、制御電圧に応じて各遅延回路の遅延時間を制御することによって、電圧制御発振回路 (VCO) を構成することができる。電源ノイズが発生する場合、遅延回路の遅延時間が変化するので、VCOの発振周波数もそれによって変化する。

【0003】位相比較回路、ループフィルタ及びVCOなどによって構成されたPLL回路において、VCOの発振周波数の変動は、フィードバック制御によって低減することができる。即ち、電源ノイズによってVCOの発振周波数が変化したとき、発振信号の位相や周波数のずれを位相比較回路によって検出し、位相ずれの検出結果に従って、制御信号を生成し、VCOの発振周波数を補正することによって、電源ノイズの影響によって生じた発振信号の位相、周波数ずれをある程度補正することができ、電源ノイズによるジッタの発生を抑制できる。

【0004】パーソナルコンピュータ (パソコン) の映像信号の表示やテレビモニタのOSD (On Screen Display) 文字の表示は、水平同期信号 H_{sync} をリファレンスクロックとしてPLL回路により逡倍したドットクロック信号を発生し、このドットクロック信号によってグラフィックデータや文字データの表示を行なう。PLL回路のジッタがあまり小さくないと、画面上のフリッカーやウェービングとして視覚で捕らえられてしまう。例えば、水平方向に24ドット/文字×32文字=768ドットだけ表示し、有効水平期間が70%、許容されるジッタ量が $\pm 1/8$ ドットとすると、水平同期信号の周期の約 $\pm 1/(768 \div 0.7 \times 8) = \pm 1/8777$ のジッタ量に抑える必要がある。水平同期信号の周波数 $f_H = 15.734 \text{ kHz}$ のときのジッタ量の目安は $\pm 7.2 \text{ ns}$ であり、水平同期信号の周波数 $f_H = 47.250 \text{ kHz}$ のときのジッタ量の目安は $\pm 2.4 \text{ ns}$ である。また、水平同期信号の周波数 $f_H = 106.250 \text{ kHz}$ のときのジッタ量の目安は $\pm 1.1 \text{ ns}$ となる。

【0005】上述したジッタ量の目標値は容易に満たされるように思われるが、しかしながら、高逡倍のPLL回路の場合、PLL回路のリファレンスクロックの周期

を T_{ref} 、周波数を f_{ref} とすると、 T_{ref} より非常に短い周期で発生するデジタルノイズの影響は、平均値の部分はPLL回路のフィードバックループで補正がかかるため、残りの平均値からのばらつき部分がジッタ量に影響することになる。 T_{ref} が長くなるのに従ってばらつき部分は加算されていくので、ジッタ量を T_j とすると $(T_j \propto \sqrt{T_{ref}} = 1/\sqrt{f_{ref}})$ の関係が成り立つと推定される。

【0006】図45にジッタ量の目標値とPLLの実力の関係を示す。図示のように、水平同期信号の周波数 $f_H = 15.734 \text{ kHz}$ で目標値をクリアしても、 $f_H = 47.250 \text{ kHz}$ や $f_H = 106.250 \text{ kHz}$ のときには目標値をクリアできないということが発生する。すなわち、 $f_{ref} = 100 \text{ kHz}$ 時のジッタ量は、 $f_{ref} = 20 \text{ MHz}$ 時のジッタ量の14倍になると推定され、実際のジッタ量もこれにより、さらに大きなものになっており、逡倍数が数千~1万倍と非常に高逡倍なPLL回路の設計は、非常に難しいものとなっている。

【0007】パソコンの映像信号においては、多くのビデオ信号規格があり、水平同期信号については31.436 kHz~106.250 kHzの周波数帯に対応しなければならない。また、テレビモニタについても、デジタル放送の普及に伴い、様々な仕様が存在するようになってきており、水平同期信号については12.587 kHz~47.250 kHzの周波数帯に対応しなければならない。

【0008】このような多用途に使用されるPLL回路は、水平同期信号の周波数 f_H に合わせてフィルタなどの特性を変更する必要があるが、それを外付けの部品の変更で行なうことはできないので、一部の部品を除いてPLL回路を半導体集積回路中に内蔵して、プログラムで変更が可能になるように設計した方が良い。半導体集積回路中に内蔵するためには、他のデジタル回路からのノイズを受けてもジッタが発生しにくいPLL回路が必要である。

【0009】PLL回路の設計は、フィードバックループの特性方程式を解くことで行なわれて来たため、PLLやDLLの低ジッタ化技術は、高速の引込と低ジッタを両立するための技術 (フィルタ特性可変など) が中心に進められてきた。低ジッタを実現するためには、特性方程式より、PLL回路のゲインを小さくした方が良く考えられているが、PLL回路のゲインを小さくした場合には、引込スピードが遅くなるという問題とプロセスばらつきに弱くなるという問題があり、様々な回路的な工夫が行なわれてきた。

【0010】例えば、VCOの初期制御電圧をデジタル/アナログ変換器 (DAC) で供給し、引込が終了したときのチャージポンプの出力電圧を記憶させておく。粗い制御はVCO回路の遅延段の段数や電流源トランジスタの電流供給能力をデジタル的に変更して行ない、細か

い制御をアナログ制御電圧で行なう。ここで、非ロック状態ではデジタルPLLとして動作させ、ロック状態ではPLLとして動作させる。チャージポンプの出力電流を可変にしておき、ロック状態ではチャージポンプの出力電流を小さくする、などの工夫が施されている。特許文献である特開平9-214340「PLL回路」、特開平9-172370「PLL回路」、特開平7-106959「位相同期回路」、特開平10-242851「PLL回路」などには、上述したように改善されたPLL回路を開示した。

【0011】ところが、フィードバックループの特性方程式には、電源電圧依存性が組み込まれていなかったため、PLL回路の設計者にとっては、電源電圧依存性の小さい回路を設計することは一般的な問題ではなかった。このため、上記の対策は、パソコンの映像信号の表示やテレビモニタのOSD文字の表示に用いられる高通倍低ジッタのPLLで問題となるロック状態での電源ノイズ起因のジッタを考慮したものではなかった。

【0012】ロック状態での電源ノイズ起因のジッタを考慮した従来の技術としては、特許文献特開平8-288801「低ジッタ広周波数域電圧制御発振器」がある。この中には、「電圧制御発振器によって生成された出力周波数は制御電圧 V_c の線状関数であり、一方それは、供給電圧の逆平方根関数によれば電源電圧 V_{DD} と共に変動する。…高 $PSRR: V_{DD}$ の10%の変動に対し、電圧制御発振器によって生成された周波数のちょうどほぼ3%の変動が対応する」、また、「周波数と供給電圧との間の逆の関係：この条件はループの安定化に役立つ」と報告されており、フィードバックループ全体での釣り合いを考えており、デジタルノイズのような速い現象を考慮したものでは無かった。

【0013】近年、ATM (Asynchronous Transfer Mode) 通信分野などにおいて、システムクロックの高周波数化やPLLやDLLのチップ内蔵化に対応するため、差動型の遅延回路を用いた電圧制御型発振器によるPLLや、差動型の遅延回路を用いた電圧制御型遅延回路(VCD回路)によるDLLが開発されている。差動型回路はCMRR (同相信号除去比) が良く、また、上手に設計するとPSRR (パワーサプライ除去比) も良くなりチップ内蔵化で問題となるデジタルノイズにも強い。このように、差動型回路の設計者にとっては、電源電圧依存性の小さい回路を設計することは、一般的な問題である。

【0014】さて、差動型回路は入出力信号がフルスイングしなくても良いため、高速で動作できるが、フルスイングしないことにより出力振幅が一定せず、遅延時間が変動しやすいという欠点があった。これを解決するため、VCO回路やVCD回路の出力振幅を一定にするクランプ回路やフィードバック回路を設けることが行なわれ、低ジッタのPLLやDLLが開発されている。ま

た、電流ライン側に接続した電流源トランジスタをソースフォロワのトランジスタに置き換えることで電源変動の影響が差動トランジスタに伝わりにくくするとともに、ソースフォロワのゲート入力電圧により発振周波数を制御する方式も考えられている。

【0015】差動型の回路については、Masayuki MIZUNO, et al., "Low-Power and High-Speed LSI Technologies. A 0.18- μ m CMOS Hot-Standby PLL Using a Noise-Immune Adaptive-Gain VCO", IEICE Trans. Electron (Inst Electron Inf. Commun. Eng.) VOL. E80-C, NO. 12; PAGE, 1560-1571; 1997年; や特許文献の特開平9-214299「電圧制御発振器」や、その関連文献である Takehiko Nakao, et al., "Single-Chip 4-Channel 155Mb/s CMOS LSI Chip for ATM SONET/SDH Framing and Clock/Data Recovery", Dig. Tech. Pap. IEEE Int. Solid State Circuits Conf. VOL. 40; PAGE. 160-161, 448; 1997年などに詳しく説明されている。

【0016】

【発明が解決しようとする課題】ところで、上述した差動型のPLL回路及びDLL回路では、D、 ∇ D両方のトランジスタが動作する。このため、消費電流とレイアウト面積が非差動型回路に比べて約2倍になる。入出力信号がフルスイングしなくて良いのでスピードは速くなる。例えば約半分の振幅だけスイングすれば良いとすればスピードは約2倍になる。しかしながら、クランプ回路を付けたりフィードバック回路を付けなければならぬので、消費電流はさらに増加し、スピードは期待したほど速くはないという不利益がある。また、出力信号を取り出すときにはフルスイングしていない信号をフルスイングする信号に変換しなければならないのでデューティが狂いやすく、差動型回路は縦方向に接続したトランジスタの段数が多いため、半導体集積回路の低電源電圧化においては、動作マージンを確保するための工夫が必要である。このため、このように差動型PLL回路及びDLL回路については、技術的な課題が多い。

【0017】本発明は、かかる事情に鑑みてなされたものであり、その目的は、インバータ型遅延素子に供給される駆動電流を制御し、または異なる電源電圧依存性を持つ遅延素子を用いることで、回路構成を簡略化でき、電源ノイズの影響を低減でき、ジッタの低減を実現できるインバータ型の遅延回路、電圧制御発振回路、電圧制御遅延回路、遅延調整回路、DLL回路及びPLL回路を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明の遅延回路は、バイアス電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段を有する遅延回路であって、電源電圧の変動を所定の割合で上記バイアス電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する。

【0019】また、本発明では、好適には、上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記バイアス電圧に加算する交流加算手段を含む。

【0020】また、本発明では、好適には、上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記バイアス電圧に加算する直流加算手段を含む。

【0021】また、本発明では、好適には、上記遅延段は、MOS型インバータと、上記インバータと上記電源電圧の供給線との間に接続され、ゲートに第1のバイアス電圧が印加される第1の電流源トランジスタと、上記インバータと基準電圧の供給線との間に接続され、ゲートに第2のバイアス電圧が印加される第2の電流源トランジスタとを有する。

【0022】また、本発明では、好適には、上記加算手段は、上記電源電圧の変動量に含まれている交流成分を上記第1のバイアス電圧に加算する第1の交流加算手段と、上記電源電圧の変動量に含まれている交流成分を上記第2のバイアス電圧に加算する第2の交流加算手段とを含む。

【0023】また、本発明では、好適には、上記加算手段は、上記電源電圧の変動量に含まれている直流成分を上記第1のバイアス電圧に加算する第1の直流加算手段と、上記電源電圧の変動量に含まれている直流成分を上記第2のバイアス電圧に加算する第2の直流加算手段とを含む。

【0024】また、本発明では、好適には、上記遅延段は、MOS型インバータと、一方の端子が上記電源電圧の供給線に接続され、ゲートに第1のバイアス電圧が印加される複数の第1の電流源トランジスタと、一方の端子が基準電圧の供給線に接続され、ゲートに第2のバイアス電圧が印加される複数の第2の電流源トランジスタと、上記第1の電流源トランジスタと上記インバータとの間に接続され、上記複数の第1の電流源トランジスタの出力電流の何れかを選択して上記インバータに供給する第1のスイッチング回路と、上記第2の電流源トランジスタと上記インバータとの間に接続され、上記複数の第2の電流源トランジスタの出力電流の何れかを選択して上記インバータに供給する第2のスイッチング回路とを有する。

【0025】また、本発明では、好適には、上記遅延段は、MOS型インバータと、一方の端子が上記インバータの出力端子に接続され、ゲートに上記バイアス電圧が印加されるスイッチングトランジスタと、一方の電極が上記スイッチングトランジスタの他方の端子に接続され、他方の電極が基準電圧の供給線に接続されているキャパシタとを有する。

【0026】また、本発明では、好適には、上記加算手段は、上記電源電圧の供給線と上記バイアス電圧の供給線との間に接続され、上記電源電圧の変動の交流成分を上記バイアス電圧にカップリングするキャパシタを有す

る。

【0027】また、本発明の遅延回路は、供給される駆動電流によって遅延時間が決められる遅延段を有する遅延回路であって、上記遅延段は、MOS型インバータと、第1のバイアス電圧に応じて、上記インバータに第1の駆動電流を供給する第1の電流源回路と、第2のバイアス電圧に応じて、上記第1の駆動電流と異なる電源電圧依存性を持つ第2の駆動電流を上記インバータに供給する第2の電流源回路とを有する。

【0028】また、本発明では、好適には、上記電源電圧の変動を第1の割合で上記第1のバイアス電圧に加算し、加算結果を上記第1の電流源回路に供給する第1の加算手段と、上記電源電圧の変動を第2の割合で上記第2のバイアス電圧に加算し、加算結果を上記第2の電流源回路に供給する第2の加算手段とを有する。

【0029】また、本発明の遅延回路は、異なる電源電圧依存性を持つ複数の遅延段からなる遅延回路であって、第1の電源電圧依存性を持つ第1の遅延段と、上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる。

【0030】また、本発明では、好適には、上記遅延回路のジッタが所望の目標値以下の遅延時間の間に、上記第1の遅延段と第2の遅延段の割合が決定される。

【0031】さらに、本発明では、好適には、上記第1と第2の遅延段の他に、遅延時間の電源電圧依存性が抑制された第3の遅延段が設けられている。

【0032】また、本発明の遅延調整回路は、入力信号に所定の遅延時間を与えた遅延信号を出力する遅延調整回路であって、バイアス電圧を生成するバイアス回路と、上記バイアス電圧に応じて制御された複数の異なる遅延時間で上記入力信号を遅延し、複数の遅延信号を出力する遅延回路と、選択信号に応じて、上記遅延回路から出力される複数の遅延信号のうち何れかを選択する選択回路とを有する。なお、上記遅延回路は、例えば、上述したように電源ノイズの対策が施され、遅延時間の電源電圧依存性が抑制された遅延回路である。

【0033】また、本発明の電圧制御遅延回路は、制御電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段を有する電圧制御遅延回路であって、電源電圧の変動を所定の割合で上記制御電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する。

【0034】また、本発明の電圧制御遅延回路は、供給される駆動電流によって遅延時間が決められる遅延段を有する電圧制御遅延回路であって、上記遅延段は、MOS型インバータと、第1の制御電圧に応じて、上記インバータに第1の駆動電流を供給する第1の電流源回路と、第2の制御電圧に応じて、上記第1の駆動電流と異なる電源電圧依存性を持つ第2の駆動電流を上記インバ

一タに供給する第2の電流源回路とを有する電圧制御遅延回路。

【0035】また、本発明の電圧制御遅延回路は、異なる電源電圧依存性を持つ複数の遅延段からなる電圧制御遅延回路であって、制御電圧に応じて遅延時間が制御され、第1の電源電圧依存性を持つ第1の遅延段と、上記制御電圧に応じて遅延時間が制御され、上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる。

【0036】また、本発明のDLL回路は、入力信号と遅延信号との位相を比較し、当該比較結果に応じた位相差信号を出力する位相比較手段と、上記位相差信号に応じて制御電圧を出力する電圧出力手段と、上記制御電圧に応じて制御された遅延時間で上記入力信号を遅延し、上記遅延信号を出力する電圧制御遅延回路とを有し、上記電圧制御遅延回路は、上述したように電源ノイズ対策が施され、遅延時間の電源電圧依存性が抑制された電圧制御遅延回路である。

【0037】また、本発明の電圧制御発振回路は、制御電圧に応じて駆動電流が制御され、当該駆動電流によって遅延時間が決められる遅延段がリング状に接続される電圧制御発振回路であって、電源電圧の変動を所定の割合で上記制御電圧に加算し、加算結果を上記遅延段に供給する加算手段を有する。

【0038】また、本発明の電圧制御発振回路は、供給される駆動電流によって遅延時間が決められる遅延段がリング状に接続される電圧制御発振回路であって、上記遅延段は、MOS型インバータと、第1の制御電圧に応じて、上記インバータに第1の駆動電流を供給する第1

の電流源回路と、第2の制御電圧に応じて、上記第1の駆動電流と異なる電源電圧依存性を持つ第2の駆動電流を上記インバータに供給する第2の電流源回路とを有する。

【0039】また、本発明の電圧制御発振回路は、異なる電源電圧依存性を持つ複数の遅延段がリング状に接続される電圧制御発振回路であって、制御電圧に応じて遅延時間が制御され、第1の電源電圧依存性を持つ第1の遅延段と、上記制御電圧に応じて遅延時間が制御され、上記第1の電源電圧依存性と相反する第2の電源電圧依存性を持つ第2の遅延段とを有し、上記第1の遅延段と第2の遅延段の段数は所定の割合で決まる。

【0040】また、本発明のPLL回路は、基準信号と発振信号との位相を比較し、当該比較結果に応じた位相差信号を出力する位相比較手段と、上記位相差信号に応じて制御電圧を出力する電圧出力手段と、上記制御電圧に応じて制御された発振周波数で発振し、上記発振信号を出力する電圧制御発振回路とを有し、さらに、上記電圧制御発振回路は、上述したように、電源ノイズ対策が施され、遅延時間の電源電圧依存性が抑制される電圧制

御発振回路である。

【0041】

【発明の実施の形態】第1実施形態

図1は本発明に係る遅延回路の第1の実施形態を示す概念図である。図示のように、本実施形態の遅延回路は、遅延素子からなる遅延部100、交流加算回路(AC加算回路)110-1~110-jによって構成されている。また、図示されていない位相比較器、チャージポンプ回路、ループフィルタ及びバイアス回路によって、バイアス電圧 $V_{cnt1} \sim V_{cntj}$ が供給される。

【0042】遅延部100は、例えば、直列接続されている複数の遅延素子によって構成されている。なお、本実施形態の遅延部100を構成する遅延素子はインバータ型であり、例えば、CMOS構成のインバータを含み、入力信号に対して所定の遅延時間を与えた論理反転信号を出力する。各遅延素子の遅延時間の合計を遅延部100の遅延時間 T である。

【0043】AC加算回路110-1~110-jは、それぞれ電源電圧 V_{dd} と基準電位 V_{ss} との交流成分に所定の係数 $K_{c1} \sim K_{cj}$ を掛けた結果をそれぞれ $\Delta V_{c1} \sim \Delta V_{cj}$ として出力し、バイアス電圧(または制御電圧) $V_{cnt1} \sim V_{cntj}$ とAC加算回路の出力 $\Delta V_{c1} \sim \Delta V_{cj}$ とを加算した結果が制御電圧 $V_{c1} \sim V_{cj}$ として、遅延部100に供給される。

【0044】ここで、基準電位 $V_{ss} = 0$ とし、また、AC加算回路110-1~110-jによって加算される電源電圧 V_{dd} の交流成分を ΔV_{dd} とすると、AC加算回路110-1~110-jの出力 $\Delta V_{c1} \sim \Delta V_{cj}$ はそれぞれ次式によって表される。

【0045】

【数1】

$$\Delta V_{c1} = K_{c1} \cdot \Delta V_{dd}$$

...

$$\Delta V_{cj} = K_{cj} \cdot \Delta V_{dd}$$

... (1)

【0046】また、制御電圧 $V_{c1} \sim V_{cj}$ は、それぞれ次式によって求まる。

【数2】

$$V_{c1} = V_{cnt1} + \Delta V_{c1} = V_{cnt1} + K_{c1} \cdot \Delta V_{dd}$$

...

$$V_{cj} = V_{cntj} + \Delta V_{cj} = V_{cntj} + K_{cj} \cdot \Delta V_{dd}$$

... (2)

【0047】遅延部100において、各遅延素子の遅延時間が制御電圧 $V_{c1} \sim V_{cj}$ に応じて制御される。このため、電源電圧 V_{dd} が変動した場合、当該電源電圧 V_{dd} の変動分 ΔV_{dd} に応じて、遅延部100に供給される制御電圧を制御し、遅延部100を構成する各遅延素子の遅延時間が電源電圧 V_{dd} の変動分を打ち消すように制御することで、電源電圧 V_{dd} の変動による影響を抑制でき、電源電圧依存性のない安定した遅延時間を持つ遅延回路

を実現できる。なお、本実施形態では、AC加算回路とバイアス回路からなる制御セットは、2組に限定されず、複数組を設けてもよい。

【0048】なお、図示の遅延回路に入力される電圧 $V_{c_{n1}}, \dots, V_{c_{nN}}$ は、例えば、それぞれ一定のレベルに保持されているバイアス電圧とすると、遅延部100の遅延時間が一定に保持される。一方、電圧 $V_{c_{n1}}, \dots, V_{c_{nN}}$ は、例えば、PLL回路を構成するループフィルタから出力される制御電圧とすると、当該制御電圧に応じて、遅延部100の遅延時間が制御される。即ち、本実施形態の遅延回路は、使い方によって、遅延時間が一定の遅延回路、あるいは制御信号に応じて遅延時間を制御可能な電圧制御遅延回路(VCD)の何れかを形成することができる。さらに、遅延部100において、奇数段の遅延段をリング状に接続すると、電圧制御発振回路(VCO)を構成することができる。

【0049】図2は、本実施形態の一構成例を示す回路図である。図示のように、遅延部100は、それぞれスイッチングトランジスタまたはセレクトトランジスタなどからなる遅延素子に、駆動電流を供給する電流源トランジスタを含む構成を有する。例えば、それぞれの遅延素子と電源電圧 V_{dd} との間に、Pチャネル側電流源トランジスタが接続され、これらのトランジスタの制御端子(ゲート)には、バイアス電圧 $V_{c_{n1}}$ に交流加算回路出力 ΔV_{c1} が加算された制御電圧 V_{c1} が印加される。同様に、それぞれの遅延素子と基準電位 V_{ss} との間に、Nチャネル側電流源トランジスタが接続され、これらのトランジスタのゲートに、バイアス電圧 $V_{c_{n2}}$ に交流加算回路出力 ΔV_{c2} が加算された制御電圧 V_{c2} が印加される。

【0050】このように構成された遅延部100では、各遅延素子の遅延時間は、電流源トランジスタの出力電流によって制御される。即ち、遅延素子の遅延時間は、制御電圧 V_{c1} と V_{c2} によって制御される。電源電圧 V_{dd} が変動したとき、その変動分 ΔV_{dd} に応じて、制御電圧 V_{c1} と V_{c2} を調整することによって、各遅延素子の遅延時間が電源電圧 V_{dd} の変動による影響が相殺され、一定の遅延時間を実現できる。この結果、遅延部100は、電源電圧 V_{dd} に依存しない安定した遅延時間 t_d を実現できる。

【0051】本実施形態の遅延回路では、電源電圧 V_{dd} の変動 ΔV_{dd} を適当な割合で制御電圧に加算し、遅延素子の遅延時間の変化を打ち消すように制御することによって、電源電圧 V_{dd} の変動による遅延時間の変化を抑制することが可能である。出力バッファ動作時に発生する電源ノイズは、例えば、パルス状のノイズであり、そのパルス幅は、広くても数十nsec(ナノ秒)であるので、少なくとも交流的な加算回路を設ければ効果が得られる。それよりもパルス幅の広い電源ノイズに対しては、直流加算の方がよいが、その場合には、通常動作における直流レベルの発生源、例えば、チャージポンプ

の出力やバイアス回路出力と直流加算手段が競合しないように設計する必要がある。

【0052】次に、インバータ型遅延回路の中で代表的な電流源型の遅延回路について、制御電圧やバイアス電圧に電源電圧の変動をある適当な割合で加算することで、遅延時間の変化を抑制することについて説明する。

【0053】第1の回路例

図3は、本実施形態のインバータ型遅延回路の第1の回路例を示している。図示のように、この遅延回路は、遅延部100aと、遅延部100aの制御電圧 V_{c1} と V_{c2} に、電源電圧 V_{dd} の変動 ΔV_{dd} をある割合で加算するためのキャパシタ $C_{d1}, C_{d2}, C_{d3}, C_{d4}$ によって構成されている。

【0054】キャパシタ C_{d1} は、電源電圧 V_{dd} と入力端子 T_{c1} との間に接続され、キャパシタ C_{d2} は、入力端子 T_{c2} と基準電位 V_{ss} との間に接続されている。入力端子 T_{c1} に、制御電圧 V_{c1} が入力される。キャパシタ C_{d3} は、電源電圧 V_{dd} と入力端子 T_{c3} との間に接続され、キャパシタ C_{d4} は、入力端子 T_{c4} と基準電位 V_{ss} との間に接続されている。入力端子 T_{c3} に、制御電圧 V_{c3} が入力される。

【0055】遅延部100aは、直列接続されているn段のインバータINV1, INV2, ..., INVnによって構成されている。各インバータは、ゲート及びドレインがそれぞれ共通に接続されているpMOSトランジスタとnMOSトランジスタからなり、pMOSトランジスタのソースと電源電圧 V_{dd} との間にPチャネル側電流源を構成するpMOSトランジスタが接続され、nMOSトランジスタのソースと基準電位 V_{ss} との間にNチャネル側電流源を構成するnMOSトランジスタが接続されている。Pチャネル側電流源を構成するトランジスタのゲートに、制御電圧 V_{c1} が印加され、Nチャネル側電流源を構成するトランジスタのゲートに、制御電圧 V_{c2} が印加される。

【0056】制御電圧 V_{c1} と V_{c2} に応じて、Pチャネル側電流源とNチャネル側電流源の供給電流が制御され、それに応じて、遅延素子として設けられているn段のインバータINV1, INV2, ..., INVnの遅延時間が制御される。

【0057】以下、本例の遅延回路の動作について説明する。図4は、遅延部100aの構成を示す回路図であり、図5は、当該遅延部100aの動作を示す波形図である。

【0058】遅延部100aにおいて、遅延段の出力信号立ち下がり時には、Nチャネル側電流源を構成するnMOSトランジスタで律則される駆動電流 I_{ni} ($i = 1, 2, \dots, n$)が流れ、遅延段の出力信号立ち上がり時には、Pチャネル側電流源を構成するpMOSトランジスタで律則される駆動電流 I_{pi} が流れる。

【0059】動作波形において、各遅延段の入力信号レ

ベルが論理しきい電圧 V_{thL} を横切った時点から、各遅延段の出力信号レベルが(次段の)論理しきい電圧 V_{thL} を横切る時点までを、その遅延段の遅延時間と考え、出力信号立ち下がり時の遅延時間を τ_{ni} 、出力信号立ち上がり時の遅延時間を τ_{pi} とおいている。

【0060】ここで、各遅延段出力の負荷容量を C_{Li} とすると、出力信号立ち下がり時の τ_{ni} の期間において、負荷容量 C_{Li} の電荷は V_{dd} から V_{thL} までnMOSの電流源トランジスタにより引き抜かれる。また、出力信号立ち上がり時の τ_{pi} の期間において、負荷容量 C_{Li} の電

$$\begin{aligned} \ln(\tau_{ni}) &\propto \ln(C_{Li}) + \ln(V_{dd} - V_{thL}) - \ln(I_{ni}) \\ \Delta \tau_{ni} / \tau_{ni} &= (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) - \Delta I_{ni} / I_{ni} \end{aligned} \quad \dots (5)$$

であるから、次の式が得られる。

【0063】

$$\Delta \tau_{ni} = \tau_{ni} \left[\left\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \right\} - (\Delta I_{ni} / I_{ni}) \right] \quad \dots (6)$$

【数7】

$$\Delta \tau_{pi} = \tau_{pi} \left\{ (\Delta V_{thL} / V_{thL}) - (\Delta |I_{pi}| / |I_{pi}|) \right\} \quad \dots (7)$$

【0064】nMOSトランジスタとpMOSトランジスタのバランスをとった設計をした場合、(6)式と

(7)式において、 $I_{ni} = |I_{pi}| = I_0$ 、 $\tau_{ni} = \tau_{pi} = \tau_d$ 、 $V_{thL} \approx V_{dd} / 2$ であるから、次式が得られ

$$\Delta \tau_{ni} \approx \tau_d \left[\left\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} / 2) \right\} - (\Delta I_{ni} / I_0) \right] \quad \dots (8)$$

【数9】

$$\Delta \tau_{pi} \approx \tau_d \left[\left\{ \Delta V_{thL} / (V_{dd} / 2) \right\} - (\Delta |I_{pi}| / I_0) \right] \quad \dots (9)$$

【0066】遅延段1段毎に電源ノイズの影響を小さくするためには、 $\Delta \tau_{ni} \approx 0$ 、 $\Delta \tau_{pi} \approx 0$ としなければならないから、(8)式と(9)式より、次の式が成り立つことが必要である。

【0067】

【数10】

$$(\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} / 2) \approx \Delta I_{ni} / I_0 \quad \dots (10)$$

【数11】

$$\Delta V_{dd} / (V_{dd} / 2) \approx (\Delta I_{ni} + \Delta |I_{p(i \pm 1)}|) / I_0 \quad \dots (12)$$

【0070】制御電圧 V_{cntn} および $|V_{cntp}|$ は、概ね、 $V_{dd} / 2$ 付近の値であり、nMOSの電流源トランジスタもpMOSの電流源トランジスタも飽和領域で動作する。チャネル長変調効果係数を λ_n 、 λ_p とする

$$I_{ni} = (1/2) \mu_n C_{ox} (W_{ni} / L_{ni}) (1 + \lambda_n V_{thL}) (V_{cntn} - V_{thn})^2 \quad \dots (13)$$

【数14】

$$|I_{pi}| = (1/2) \mu_p C_{ox} (W_{pi} / L_{pi}) \{1 + |\lambda_p| (V_{dd} - V_{thL})\} (V_{cntp} - V_{thp})^2$$

* 荷が0Vから V_{thL} までPMOSの電流源トランジスタにより貯められる。したがって、次式が成立する。

【0061】

【数3】

$$\tau_{ni} \propto C_{Li} \times (V_{dd} - V_{thL}) / I_{ni} \quad \dots (3)$$

【数4】

$$\tau_{pi} \propto C_{Li} \times V_{thL} / |I_{pi}| \quad \dots (4)$$

【0062】ここで、電源電圧の変動 V_{dd} があったとすると、

【数5】

※【数6】

※

★

【0065】

【数8】

30★

$$\Delta V_{thL} / (V_{dd} / 2) \approx \Delta |I_{pi}| / I_0 \quad \dots (11)$$

【0068】条件を緩和して、連続した遅延段2段毎に電源ノイズの影響を小さくするためには、 $\Delta \tau_{ni} + \Delta \tau_{p(i \pm 1)} \approx 0$ としなければならないから、(8)式と(9)式より、次式が得られる。

【0069】

【数12】

◆と、チャネル長変調効果も含めた飽和領域の電流式は、次のように与えられる。

【0071】

【数13】

【0072】電流源トランジスタのついたインバータ回路の論理しきい電圧については、一般的な定義が存在しないが、インバータ動作するゲート入力信号の電圧が、概ね、 $V_{dd}/2$ のときに遅延段の出力信号の電圧が V_{th} で釣り合い、 $I_{ni} = |I_{pi}|$ が成り立っていることと*

$$V_{thL} = \{ (1/2) |\mu_p| C_{ox}(W_{pi}/L_{pi})(1 + |\lambda_p| V_{dd})(V_{cntp} - V_{thp}) \\ **2 - (1/2) \mu_n C_{ox}(W_{ni}/L_{ni})(1 + \lambda_n \cdot 0)(V_{cntn} - V_{thn}) **2 \} \\ \div \{ (1/2) |\mu_p| C_{ox}(W_{pi}/L_{pi}) |\lambda_p| (V_{cntp} - V_{thp}) **2 \\ + (1/2) \mu_n C_{ox}(W_{ni}/L_{ni}) \lambda_n (V_{cntn} - V_{thn}) **2 \}$$

… (15)

【0074】論理しきい電圧の変動 ΔV_{thL} は、(15)式より、次のように求まる。 ※

$$\Delta V_{thL} = \{ |\lambda_p| / (\lambda_n + |\lambda_p|) \} \Delta V_{dd}$$

… (16)

【0075】 I_{ni} と $|I_{pi}|$ の変動 ΔI_{ni} 、 $\Delta |I_{pi}|$ は、 λ_n と $|\lambda_p|$ の値が小さいことを考慮するとチャネル長変調効果も含めた飽和領域の電流式、(13)式、(14)式から求めても、チャネル長変調効果を含めない、次の(17)式、(18)式に示す飽和領域の電流式、から求めても同じような結果を得ることができる。 ★

$$|I_{pi}| = (1/2) |\mu_p| C_{ox}(W_{pi}/L_{pi})(V_{cntp} - V_{thp}) **2$$

… (18)

【0077】 I_{ni} と $|I_{pi}|$ の変動 ΔI_{ni} 、 $\Delta |I_{pi}|$ は、次のように求まる。

【数19】

$$\Delta I_{ni} = I_{ni} \times 2 \Delta V_{cntn} / (V_{cntn} - V_{thn})$$

… (19)

【数20】

$$\Delta |I_{pi}| = |I_{pi}| \times 2 \Delta |V_{cntp}| / |V_{cntp} - V_{thp}|$$

… (20)

【0078】 $I_{ni} = |I_{pi}| = I_0$ を考慮して、遅延段1段毎に電源ノイズの影響を小さくするための条件式 ☆0)式を代入してまとめると、次の式が得られる。

(10)、(11)に、(16)式、(19)式、(20)式を代入してまとめると、次の式が得られる。 【0079】

$$\Delta V_{cntn} \approx \{ \lambda_n / (\lambda_n + |\lambda_p|) \} \{ (V_{cntn} - V_{thn}) / V_{dd} \} \Delta V_{dd}$$

… (21)

【数22】

$$\Delta |V_{cntp}| \approx \{ |\lambda_p| / (\lambda_n + |\lambda_p|) \} \{ |V_{cntp} - V_{thp}| / V_{dd} \} \Delta V_{dd}$$

… (22)

【0080】即ち、電源電圧の変動があったときに、n NMOSの電流源トランジスタのゲートソース間電圧には、 $\{ \lambda_n / (\lambda_n + |\lambda_p|) \} \{ (V_{cntn} - V_{thn}) / V_{dd} \}$ の割合でフィードバックして、p MOSの電流源トランジスタのゲートソース間電圧には、 $\{ |\lambda_p| / (\lambda_n + |\lambda_p|) \} \{ |V_{cntp} - V_{thp}| / V_{dd} \}$ の割合でフィードバックすれば遅延時間の変動を非常に

◆小さくできる。

【0081】また、連続した遅延段2段毎に電源ノイズの影響を小さくするための条件式(12)に、(19)式、(20)式を代入してまとめると、次式が得られる。

【0082】

【数23】

$$\{ \Delta V_{cntn} / (V_{cntn} - V_{thn}) \} + \{ \Delta |V_{cntp}| / |V_{cntp} - V_{thp}| \} \approx \Delta V_{dd} / V_{dd}$$

… (23)

【0083】ここで、

【数24】

$$\Delta V_{cntn} \approx A_n \times \{ (V_{cntn} - V_{thn}) / V_{dd} \} \Delta V_{dd}$$

… (24)

【数25】

$$\Delta |V_{cntp}| \approx A_p \times \{ |V_{cntp} - V_{thp}| / V_{dd} \} \Delta V_{dd}$$

… (25)

とおくと、次式が得られる。

【0084】

【数26】

$$A_n + A_p \approx 1$$

… (26)

【0085】チャンネル長変調効果係数はインプラブロフ*

$$\Delta V_{cntn} \approx (1/2) \{ (V_{cntn} - V_{thn}) / V_{dd} \} \Delta V_{dd}$$

… (27)

【0087】

※ ※ 【数28】

$$\Delta |V_{cntp}| \approx (1/2) \{ |V_{cntp} - V_{thp}| / V_{dd} \} \Delta V_{dd}$$

… (28)

少なくとも(24)式、(25)式、(26)式の関係を満足している。

【0088】図3に示す遅延回路において、電源電圧の変動をバイアス電圧、あるいは、制御電圧に適当な割合で加算するAC的な手段として、nMOSの電流源トランジスタのゲート入力ラインには、接地ラインとの間にキャパシタC_{sn}が設けられ、電源ラインとの間にキャパシタC_{dn}が設けられている。また、pMOSの電流源トランジスタのゲート入力ラインには、電源ラインとの間にキャパシタC_{dp}が設けられ、接地ラインとの間にキャパシタC_{sp}が設けられている。

【0089】AC的な加算手段によれば、接続先の制御電圧ラインが出力がオフの時にハイインピーダンス状態に保持されるチャージポンプ回路の出力端子やパッシブなループフィルタの出力端子であったとしても、AC的な加算手段はDC的な電流を流さないの、電源ノイズが発生している期間だけ制御電圧に影響を与え、電源ノイズの発生終わった後には副作用となるような余分な制御電圧の変化を引き起こさないという特徴がある。

【0090】図6と図7は、バイアス回路とAC的な加算手段の関係を示す。AC的な加算が制御電圧ラインと接地ラインとの間に設けられたキャパシタC₁と、制御電圧ラインと電源ラインとの間に設けられたキャパシタC₂の分圧で行なわれる。電源電圧V_{dd}にΔV_{dd}の変動があったとすると、図6(a)に示すような等価回路にモデル化される。

【0091】ΔV_{bs}はバイアス回路出力電圧V_{bs}の変動で、R_{out}はバイアス回路の出力抵抗である。この等価回路は、ΔV_{bs}側、即ち、バイアス回路の出力側から見ればローパスフィルタであり、{C₂ / (C₁ + C₂)} ΔV_{dd}側、即ち、電源電圧V_{dd}の供給側から見ればハイパスフィルタであるので、τAC = R_{out} × (C₁ + C

*ファイルに大きく依存するため、λ_n ≠ |λ_p|であることが多いが、仮にλ_n = |λ_p|として、(21)式、(22)式に代入すると、次式が得られる。

【0086】

【数27】

2)としたとき、1/τACの周波数を境にして、周波数の高い側で{C₂ / (C₁ + C₂)} ΔV_{dd}の影響が優勢で、周波数の低い側でΔV_{bs}側の影響が優勢となる。

【0092】ここで、出力バッファ動作時の電源ノイズの幅をt_{ns}とした場合、次の関係

【数29】

τAC = R_{out} × (C₁ + C₂) > t_{ns}… (29)

を満たすように設計すれば、出力バッファ動作時の電源ノイズの影響を低減できる。

【0093】位相比較回路からアップ信号S_{up}とダウン信号S_{dn}が出力されていないとき、ハイインピーダンス状態に保持されているチャージポンプの出力端子、または、それに接続するパッシブなループフィルタの出力が制御電圧として入力する場合は、R_{out} = ∞と見なせるので、C₁ + C₂の値はループフィルタのキャパシタとして決定すれば良く、C₁とC₂の比は本発明に従い決定すれば良い。

【0094】図7はAC的な加算手段でフィードバックすると同じように、DC的な加算手段においてもフィードバックすることにより、電源ノイズの周波数成分がある程度低くなっても、電源ノイズの影響を低減できる加算手段を示す。AC的な加算手段はDC的な加算手段のスピードアップコンデンサとして動作するととれるので、時定数に関係なく一定のフィードバック量を加算することが可能であり、広い周波数成分の電源ノイズに対応することが可能である。

【0095】図8は、本例の遅延回路を用いた電圧制御発振回路のシミュレーションの結果を示す波形図である。図8において、W₁が電源ノイズがない場合のシミュレーション波形で、W₂が電源ノイズがある場合の従来例のシミュレーション波形で、W₃が電源ノイズがあ

る場合の図3に示す本発明の回路例のシミュレーション波形である。図示のように、本発明の遅延回路において、電源ノイズが発生した場合、電源電圧 V_{DD} の変動分に応じて遅延回路を構成する各遅延素子に供給する制御電圧を制御することによって、電源電圧 V_{DD} の変動による影響を打ち消すことができ、遅延回路の遅延時間の変動を抑制でき、当該遅延回路を用いて構成される電圧制御遅延回路及び電圧制御発振回路では、ジッタが大幅に低減されることが明らかである。

【0096】第2の回路例

図9は、本実施形態の遅延回路の第2の回路例を示す回路図である。図示のように、この遅延回路において、遅延部100bはMOSインバータと選択トランジスタ及び電流源トランジスタからなる複数段の遅延素子によって構成されている。

【0097】MOSインバータは、ゲート及びドレイン同士がそれぞれ接続されているpMOSTランジスタとnMOSTランジスタによって構成されている。ゲート同士の接続点がインバータの入力端子を形成し、ドレイン同士の接続点はそのインバータの出力端子を形成している。図9に示すように、インバータINV1を構成するpMOSTランジスタP1のソースと電源電圧 V_{DD} との間に、電流源トランジスタP11と選択トランジスタP12が直列接続され、また、トランジスタP1のソースと電源電圧 V_{DD} との間に、電流源トランジスタP13が接続されている。インバータINV1を構成するnMOSTランジスタN1のソースと基準電位 V_{SS} との間に、選択トランジスタN12と電流源トランジスタN11が直列接続され、また、トランジスタN1のソースと電源電

$$I_o = (1/2) \mu C_{ox}(W1/L1)(1 + \lambda_1 V_{ds})(V_{cnt} - V_{th})^{**2} \\ + (1/2) \mu C_{ox}(W2/L2)(1 + \lambda_2 V_{ds})(V_{cnt} - V_{th})^{**2} \\ : \\ + (1/2) \mu C_{ox}(Wm/Lm)(1 + \lambda_m V_{ds})(V_{cnt} - V_{th})^{**2} \\ \dots (30)$$

【0102】また、チャネル長変調係数 λ_1 、 λ_2 、 \dots 、 λ_m が小さいので、各電流源トランジスタのチャネル長変調係数を等しく λ とすると、(30)に基づき次※

$$I_o \approx (1/2) \mu C_{ox} (\sum (W_i/L_i)) (1 + \lambda V_{ds})(V_{cnt} - V_{th})^{**2} \\ \dots (31)$$

【0104】(13)式、(14)式と(31)式を比較すれば、各遅延素子において電流源トランジスタを並列に接続しても、本発明の電源ノイズの影響の低減方法が有効であることは明らかである。

【0105】第3の回路例

図10は、本実施形態の遅延回路の第3の回路例を示す回路図である。図示のように、この遅延回路において、遅延部100cはMOSインバータと、インバータの出力端子に接続されているトランスミッションゲートとキャパシタからなる複数の遅延段によって構成されている。即ち、本例の遅延部100cは、いわゆるシャント

* 圧 V_{DD} との間に、電流源トランジスタN13が接続されている。

【0098】遅延部100bにおいて、各遅延素子におけるPチャネル側の電流源トランジスタのゲートに、制御電圧 V_{DD} が印加され、Nチャネル側の電流源トランジスタのゲートに、制御電圧 V_{DD} が印加される。また、Pチャネル側選択トランジスタのゲートに選択信号/SELHが印加され、Nチャネル側選択トランジスタのゲートに選択信号SELHが印加される。なお、ここで、/SELHは信号SELHの論理反転信号を意味する。なお、他の遅延段を構成する遅延素子については、ほぼ同じ構成を有する。

【0099】このように構成されている遅延部100bにおいて、選択信号に応じて、各遅延段の遅延素子に供給される電流が制御されるので、インバータに供給する駆動電流が2通りに制御できる。例えば、選択信号SELHがローレベルのとき、各遅延段の遅延素子において、一方の電流源トランジスタのみがインバータに接続される。逆に、選択信号SELHがハイレベルのとき、各遅延段の遅延素子において、両方の電流源トランジスタがともにインバータに接続される。

【0100】ここで、例えば、各遅延段において、インバータにm個の電流源トランジスタが並列に接続されている。これらの電流源トランジスタのサイズ(チャネル幅/チャネル長)をそれぞれ $W1/L1$ 、 $W2/L2$ 、 \dots 、 Wm/Lm とすると、インバータに供給される駆動電流 I_o は、次式によって与えられる。

【0101】

【数30】

※の近似式が得られる。

【0103】

【数31】

40 (分岐)型遅延素子によって構成されている。

【0106】電源電圧 V_{DD} と制御信号入力端子Tcntnとの間にキャパシタCdnが接続されている。キャパシタCdnによって、電源電圧 V_{DD} の変動 ΔV_{DD} が制御電圧Vcntnにフィードバックされる。即ち、本例の遅延回路では、電源電圧 V_{DD} の変動に応じて各遅延段に供給される制御電圧Vcntnが制御され、電源電圧の変動による遅延時間の变化を打ち消すように制御が行われるので、電源ノイズの影響を抑制できる。

【0107】なお、トランスミッションゲートは、例えば、ゲートに制御電圧が印加されるMOSトランジスタ

によって構成される。図10の例では、各遅延段のインバータの出力端子に接続されているトランスミッションゲートは、ゲートに制御電圧 V_{cntn} が印加されるnMOSトランジスタによって構成される。トランスミッションゲートを構成するトランジスタのソースドレインは、一方がインバータの出力端子に接続され、もう一方はキャパシタを介して基準電位 V_{ss} に接続されている。

【0108】図11は、シャント型遅延素子からなる遅延段の構成を示す回路図である。図示のように、各遅延段において、インバータの出力端子と基準電位 V_{ss} との間に、分岐用トランスミッションゲートとしてのnMOSトランジスタとキャパシタが直列接続されている。トランジスタのゲートに制御電圧 V_{cntn} が印加される。制御電圧 V_{cntn} に応じて、トランスミッションゲートがオン/オフし、インバータの出力端子の負荷容量が変化するので、遅延時間が制御される。図12は、入力信号1Nの立ち上がり時と立ち下がり時のシャント型遅延段の動作を示す波形図である。動作波形は、分岐用のトランスミッションゲート、即ち、キャパシタに直列接続されているトランジスタの制御電圧 V_{cntn} のレベルにより2通りを示してある。以下、図11及び図12を参照しつつ、本例の遅延回路の動作について説明する。

【0109】まず、シャント型の遅延段の動作を簡単に説明する。分岐用のトランスミッションゲートは、ソー*

$$V_{thn}(V_{ss}) = V_{thn0} + K \{ \sqrt{(V_{ss} + \phi)} - \sqrt{\phi} \}$$

ただし、 $V_{ss} = V_{smax}$ である。

【0112】 $V_{smax} = V_{cntn} - V_{thn} \leq V_{thL}$ の場合、次の式が成立する。

【数34】

$$\tau_{ni} \propto C_g \times (V_{dd} - V_{thL}) / I_{ni} \dots (34)$$

【数35】

$$\tau_{pi} \propto (C_g \times V_{thL} + C_s \times V_{smax}) / |I_{pi}| \dots (35)$$

【0113】(34)式と(35)式によって、さらに※

$$\Delta \tau_{ni} \approx \tau_{ni} \times [\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \} - (\Delta I_{ni} / I_{ni})] \dots (36)$$

【数37】

$$\Delta \tau_{pi} \approx \tau_{pi} \times [\{ (C_g \times \Delta V_{thL} + C_s \times \Delta V_{smax}) / (C_g \times V_{thL} + C_s \times V_{smax}) \} - (\Delta |I_{pi}| / |I_{pi}|)] \dots (37)$$

【0115】また、 $V_{smax} = V_{cntn} - V_{thn} \geq V_{thL}$ の場合、次の式が成立する。

$$\tau_{ni} \propto \{ C_g \times (V_{dd} - V_{thL}) + C_s \times (V_{smax} - V_{thL}) \} / I_{ni} \dots (38)$$

【数39】

$$\tau_{pi} \propto (C_g + C_s) \times V_{thL} / |I_{pi}| \dots (39)$$

【0116】(38)式と(39)式によって、さらに☆

$$\Delta \tau_{ni} \approx \tau_{ni} \times [\{ C_g \times (\Delta V_{dd} - \Delta V_{thL}) + C_s \times (\Delta V_{smax} - \Delta V_{thL}) \} / \{ C_g \times (V_{dd} - V_{thL}) + C_s \times (V_{smax} - V_{thL}) \}] - (\Delta I_{ni} / I_{ni})$$

* ス電圧が基準電位 V_{ss} からゲート電圧、即ち、外部から入力される制御電圧 V_{cntn} よりトランジスタのしきい値電圧 V_{thn} 分低いレベル $V_{cntn} - V_{thn}$ まではオンしているが、ソース電圧がそれ以上の電圧になるとオフしてしまう。したがって、 $V_{cntn} - V_{thn}$ を境にしてインバータが駆動しなければならない負荷容量が変わり、分岐側の容量を C_s 、次段のゲート入力の容量を C_g とすると、インバータの出力電圧が $V_{cntn} - V_{thn}$ 以下のときは、 $C_g + C_s$ の負荷容量を駆動して、インバータの出力電圧が $V_{cntn} - V_{thn}$ 以上のときは、 C_g の負荷容量を駆動することになる。制御電圧 V_{cntn} のレベルによって重たい $C_g + C_s$ の負荷容量を駆動する期間と軽い C_g の負荷容量を駆動する期間の割合が変わり、制御電圧 V_{cntn} が高くなると、重たい $C_g + C_s$ の負荷容量を駆動する期間の割合が増えるので遅延時間が大きくなる。

【0110】なお、説明をしやすくするため、制御電圧のトランジスタのしきい電圧1段落ちのレベルを次式によって表す。

【数32】

$$V_{smax} = V_{cntn} - V_{thn}(V_{ss}) \dots (32)$$

【0111】ここで、 K を基板効果定数、 $\phi = 0.64V$ 、 V_{thn0} は $V_{ss} = 0V$ のときのトランジスタのしきい電圧とすると、次式が得られる。

【数33】

※次の式が得られる。

【0114】

【数36】

30

★【数38】

☆

☆次の式が得られる。

【数40】

))

… (40)

【数41】

$$\Delta \tau_{pi} \approx \tau_{pi} \times \{ (\Delta V_{thL} / V_{thL}) - (\Delta |I_{pi}| / |I_{pi}|) \}$$

… (41)

【0117】ここで、インバータの論理しきい電圧 V_{th} * 【数42】

は、次のように与えられる。

$$V_{thL} = [V_{dd} - |V_{thp}| + V_{thn} \times \sqrt{(\mu_{nWn}/L_{ni}) / (\mu_{pWp}/L_{pi})}] / [1 + \sqrt{(\mu_{nWn}/L_{ni}) / (\mu_{pWp}/L_{pi})}]$$

… (42)

【0118】(42)式により、次式が得られる。 ※ ※ 【数43】

$$\Delta V_{thL} = \Delta V_{dd} / [1 + \sqrt{(\mu_{nWn}/L_{ni}) / (\mu_{pWp}/L_{pi})}]$$

… (43)

【0119】制御電圧 V_{cntrn} のとりうる最大の電圧が電源電圧 V_{dd} とすると、 $V_{smax} = V_{cntrn} - V_{thn}$ であるから、 V_{smax} のとりうる最大の電圧は、概ね、 $0.7 \times V_{dd}$ となる。このため、シャント型遅延回路を設計する場合、インバータの論理しきい値電圧 V_{thL} を $V_{dd}/2$ よりも低めに設計する。ここで、仮に、次の式が成り立つとする。

【数44】

$$\{(\mu_{nWn}/L_{ni}) / (\mu_{pWp}/L_{pi})\} = 2 \dots (44)$$

【0120】また、 $V_{thn} \approx V_{dd}/6$ 程度と考えると、(42)式と(43)式は、それぞれ次の式に近似できる。

【数45】

$$|I_{pi}| \propto (1/2) | \mu_p | Cox(W_{pi}/L_{pi})(V_{dd} - |V_{thp}|)^{**2}$$

… (48)

【0122】(47)式と(48)式より、

【数49】

$$\Delta I_{ni} \approx I_{ni} \times \{2 \Delta V_{dd} / (V_{dd} - V_{thn})\}$$

… (49)

【数50】

$$\Delta |I_{pi}| \approx |I_{pi}| \times \{2 \Delta V_{dd} / (V_{dd} - |V_{thp}|)\}$$

… (50)

【0123】また、(44)式の仮定により、次式が得られる。

☆が得られる。

【数52】

【数51】

$$I_{ni} \approx 2 \times I_p$$

$$|I_{pi}| \approx I_p$$

… (51)

40

【0124】また、(32)式、(33)式より、次式☆

$$\Delta V_{smax} = \Delta V_{cntrn} / [1 + K / \{2 \sqrt{(V_{smax} + \phi)}\}]$$

… (52)

【0125】基板効果定数 K は0.5前後の値であり、 V_{smax} は $0.44 \times V_{dd}$ 付近の値であることを考慮すると、(52)式は、次のように近似される。

【数53】 $V_{smax} \approx 0.85 \times \Delta V_{cntrn}$ … (53)

【0126】シャント型の遅延段の場合は負荷容量値が途中で変わるため、これ以上、一般的に考えるのは困難

50

なため、 $C_s = 10 \times C_q$ という条件で、 $V_{smax} = 0.34 \times V_{dd}$ の場合と、 $V_{smax} = 0.54 \times V_{dd}$ の場合について考える。また、 $V_{thn} \approx |V_{thp}| \approx V_{dd}/6$ とする。

【0127】 $V_{smax} = 0.34 \times V_{dd} \leq V_{thL} = 0.44 \times V_{dd}$ の場合、(34)式から(37)式に、(4

33

5)式、(46)式、(49)式、(50)式、(51)式、及び(53)式を代入することにより、次の式が得られる。

【0128】

【数54】

$$\tau_{ni} \approx 0.28 \times C_g \times V_{dd} / I_0 \quad \dots (54)$$

【数55】

$$\Delta \tau_{pi} \approx \tau_{pi} \times [\{ (-2.29 \times \Delta V_{dd} + (2.21 \times \Delta V_{cntn})) \} / V_{dd}]$$

... (57)

【0130】(54)式から(57)式により、次式が得られる。

※【数58】

$$\Delta \tau_{ni} + \Delta \tau_{p(i \pm 1)} \approx \{ (-9.17 \times \Delta V_{dd}) + (8.49 \times \Delta V_{cntn}) \} \times C_g / I_0$$

... (58)

【0131】ここで、 $\Delta \tau_{ni} + \Delta \tau_{p(i \pm 1)} \approx 0$ とするためには、次式を満たせばよい。

【数59】

$$V_{cntn} \approx 1.08 \times V_{dd} \quad \dots (59)$$

$\Delta V_{cntn} \approx \Delta V_{dd}$ として、制御電圧 V_{cntn} を電源電圧 V_{dd} の変動に合わせて揺らした場合、電源ノイズの影響を(9.17-8.49)/9.17 \approx 7%に低減することが見込まれる。

【0132】 $V_{smax} = 0.54 \times V_{dd} \geq V_{thL} = 0.44 \times V_{dd}$ の場合、(38)式から(41)式に、(4

$$\Delta \tau_{ni} \approx \tau_{ni} \times [\{ (-4.65 \times \Delta V_{dd}) + (5.45 \times \Delta V_{cntn}) \} / V_{dd}]$$

... (62)

【数63】

$$\Delta \tau_{pi} \approx \tau_{pi} \times \{ (-1.47 \times \Delta V_{dd}) / V_{dd} \} \quad \dots (63)$$

☆次式が得られる。

30 【数64】

【0135】(60)式から(63)式により、さらに☆

$$\Delta \tau_{ni} + \Delta \tau_{p(i \pm 1)} \approx \{ (-10.74 \times \Delta V_{dd}) + (4.25 \times \Delta V_{cntn}) \} \times C_g / I_0$$

... (64)

【0136】 $\Delta \tau_{ni} + \Delta \tau_{p(i \pm 1)} \approx 0$ とするためには、次式を満たせばよい。

【数65】 $\Delta V_{cntn} \approx 2.53 \times \Delta V_{dd}$... (65)

$\Delta V_{cntn} \approx \Delta V_{dd}$ として、制御電圧 V_{cntn} を電源電圧 V_{dd} の変動に合わせて揺らした場合、電源ノイズの影響を(10.74-4.25)/10.74 \approx 60%に低減することが見込まれる。

【0137】以上をまとめると、シャント型の遅延段において、分岐用のトランスミッションゲートがNMOSトランジスタの場合には、制御電圧ラインと電源ラインとの間にキャパシタを設けることにより、また、分岐用のトランスミッションゲートがPMOSトランジスタの場合には、制御電圧ラインと接地ラインとの間にキャパシタを設けることにより、電源ノイズの影響を概ね半減することができる。

34

$$\tau_{pi} \approx 3.84 \times C_g \times V_{dd} / I_0 \quad \dots (55)$$

【0129】

【数56】

$$\Delta \tau_{ni} \approx \tau_{ni} \times \{ (-1.35 \times \Delta V_{dd}) / V_{dd} \} \quad \dots (56)$$

【数57】

*

※【数58】

... (58)

★5)式、(46)式、(49)式、(50)式、(51)式、及び(53)式を代入することにより、次式が得られる。

【0133】

20 【数60】

$$\tau_{ni} \approx 0.78 \times C_g \times V_{dd} / I_0 \quad \dots (60)$$

【数61】

$$\tau_{pi} \approx 4.84 \times C_g \times V_{dd} / I_0 \quad \dots (61)$$

【0134】

★ 【数62】

... (62)

☆次式が得られる。

30 【数64】

... (64)

【0138】第2実施形態

図13は本発明に係る遅延回路の第2の実施形態を示す概念図である。本実施形態の遅延回路では、それぞれ異なる電源電圧依存性を有する電流源の供給電流を加算して駆動電流を生成することによって、電源ノイズによる遅延時間の変動を抑制し、電源ノイズの影響を低減する。

【0139】図示のように、本実施形態の遅延回路は、直列接続されている複数の遅延段によって構成されている。各遅延段は、例えば、スイッチングトランジスタまたはセレクトトランジスタを含む遅延素子と、遅延素子に駆動電流を供給する電流源によって構成されている。例えば、図示のように、遅延素子と電源電圧 V_{dd} との間に、少なくとも2ヶ以上の駆動電流 $I_{d1}, I_{d2}, \dots, I_{dn}$ を供給する電流源が並列に接続され、遅延素子と基準

50

電位 V_{ss} との間に、少なくとも2ヶ以上の駆動電流 $I_{s1}, I_{s2}, \dots, I_{sj}$ を供給する電流源が並列に接続されている。

【0140】さらに、それぞれの電流源には異なる電源電圧依存性を有する。即ち、電源電圧 V_{dd} が ΔV_{dd} 分変化した場合、各電流源にそれぞれ $\Delta I_{s1}, \Delta I_{s2}, \dots, \Delta I_{sj}$ 及び $\Delta I_{s1}, \Delta I_{s2}, \dots, \Delta I_{sj}$ の変化が生じたとすると、 $\Delta I_{s1}/I_{s1} \neq \Delta I_{s2}/I_{s2}, \dots, \neq \Delta I_{sj}/I_{sj}$ 、同じく、 $\Delta I_{s1}/I_{s1} \neq \Delta I_{s2}/I_{s2}, \dots, \neq \Delta I_{sj}/I_{sj}$ 。

【0141】電源ライン側の同時にオンしている電流源の電流の和が出力立ち上がり時の駆動電流となり、即ち

$$\Delta \tau_{ofi} = \tau_{ofi} \left[\left\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \right\} - \left(\sum \Delta I_{sj} / \sum I_{sj} \right) \right]$$

【数67】

$$\Delta \tau_{ori} = \tau_{ori} \left\{ (\Delta V_{thL} / V_{thL}) - (\sum \Delta I_{dj} / \sum I_{dj}) \right\}$$

【0144】 $\Delta \tau_{ofi} \approx 0$ 及び $\Delta \tau_{ori} \approx 0$ とするためには、出力振幅の相対的な変化量（ほぼ電源電圧の相対的な変化量 ΔV_{dd} に等しい）と電流源の電流値の和の相対的な変化量（駆動電流の相対的な変化量に等しい）が※

$$\left\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \right\} = (\sum \Delta I_{sj} / \sum I_{sj})$$

【数69】

$$(\Delta V_{thL} / V_{thL}) = (\sum \Delta I_{dj} / \sum I_{dj}) \quad \dots (69)$$

【0146】 $\sum I_{sj} \approx \sum I_{dj} \approx I_0$ 、 $V_{thL} \approx V_{dd}/z$ の場合、(12)式と同様に、

$$\Delta V_{dd} / (V_{dd}/z) \approx (\sum \Delta I_{sj} + \sum \Delta I_{dj}) / I_0$$

【0147】図14は、本実施形態の遅延回路の一例を示す構成図である。図示のように、本実施形態の遅延回路は、遅延部200、交流加算回路（AC加算回路）110、112、114、116によって構成されている。図示されていない位相比較器やチャージポンプ回路やループフィルタやバイアス回路などにより、バイアス電圧 V_{cntn1} 、 V_{cntp1} 、 V_{cntn2} 、 V_{cntp2} が供給される。

【0148】遅延部200は、例えば、直列接続されている複数の遅延素子によって構成されている。なお、本実施形態の遅延部200を構成する遅延素子は、例えば、CMOSインバータを含み、入力信号に対して所定の遅延時間を与えた論理反転信号を出力する。各遅延素子の遅延時間の合計が遅延部200の遅延時間 T である。

【0149】AC加算回路110、112、114と116は、それぞれ電源電圧 V_{dd} と基準電位 V_{ss} との交流成分に所定の係数を掛けた結果をそれぞれ ΔV_{cn1} 、 ΔV_{cp1} 、 ΔV_{cn2} 、 ΔV_{cp2} として出力し、バイアス電圧（または制御電圧）とAC加算回路の出力とを加算

* ち、 $I_d = \sum I_{dj}$ である。その変化量は、 $\Delta I_d = \sum \Delta I_{dj}$ となる。一方、接地ライン側の同時にオンしている電流源の電流の和が出力立ち下がり時の駆動電流となり、即ち、 $I_s = \sum I_{sj}$ 、その変化量は、 $\Delta I_s = \sum \Delta I_{sj}$ となる。

【0142】ここで、 τ_{ofi} を遅延段出力立ち下がり時の遅延時間、 τ_{ori} を遅延段出力立ち上がり時の遅延時間とすると、電源電圧 V_{dd} に ΔV_{dd} の変動があったときに、前記の(6)式、(7)式と同じような関係式が書ける。

【0143】

【数68】

… (66)

… (67)

※一致するように設計すれば良い。即ち、次の式が得られる。

【0145】

【数68】

… (68)

し、加算結果が制御電圧として遅延部100に供給される。

【0150】遅延部200において、各遅延段はMOS型インバータと電流源トランジスタによって構成されている。例えば、図示のように、1段目の遅延段は、pMOSトランジスタP1とnMOSトランジスタN1で構成されているインバータINV1、インバータINV1のPチャネル側に電流を供給する電流源トランジスタP11、P12、インバータINV1のNチャネル側に電流を供給する電流源トランジスタN11、N12によって構成されている。

【0151】Pチャネル側電流源トランジスタP11のゲートに制御電圧 V_{cn1} が印加され、トランジスタP12のゲートに制御電圧 V_{cp1} が印加される。Nチャネル側電流源トランジスタN11のゲートに、制御電圧 V_{cn2} が印加され、トランジスタN12のゲートに制御電圧 V_{cp2} が印加される。

【0152】上述した構成を有する遅延部200において、各遅延段の遅延時間は、それぞれの遅延段のインバータに供給される電流によって制御される。本発明では、それぞれの遅延段に供給される電流が異なる電源電圧依存性を持つように制御されていることで、電源ノイズの影響を抑制できる。

【0153】(19)式、(20)式の関係より、(68)式、(69)式は、図14に対応した形に、それぞれ次のように書き換えられる。

【0154】

* * 【数70】

$$\begin{aligned} & \{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \} \\ & = (\Sigma [\{ 2 \times I_{sj} / (V_{cntnj} - V_{thn}) \} \Delta V_{cnj}] / \Sigma I_{sj}) \\ & \dots (70) \end{aligned}$$

【数71】

$$\begin{aligned} & (\Delta V_{thL} / V_{thL}) \\ & = (\Sigma [\{ 2 \times I_{pj} \times |V_{cntpj} - V_{thp}| \} \Delta |V_{cpj}|] / \Sigma I_{dj}) \\ & \dots (71) \end{aligned}$$

【0155】さらに、図14において、 $\Delta V_{cnj} = k_{cnj} \Delta V_{dd}$ 、 $\Delta |V_{cpj}| = k_{cpj} \Delta V_{dd}$ であり、仮に、 $V_{thL} \approx V_{dd}/2$ 、 $V_{cntnj} \approx |V_{cntpj}| \approx V_{dd}/2$ 、 $V_{thn} \approx |V_{thp}| \approx V_{dd}/6$ とすると、(70)式と(71)式との関係は、次に示すように、 k_{cnj} と I_{sj} 、 k_{cpj} と I_{dj} のみで書き表すことができる。

【0156】

【数72】

$$6 \times \Sigma (k_{cnj} \times I_{sj}) \approx \Sigma I_{sj} \dots (72)$$

【数73】

$$6 \times \Sigma (k_{cpj} \times I_{dj}) \approx \Sigma I_{dj} \dots (73)$$

【0157】(72)式と(73)式及び上記の仮定を満足する場合、電源ノイズの影響を非常に小さくすることが可能である。

【0158】例えば、今、 $k_{cn1} = 0$ 、 $k_{cn2} = 0.5$ としたとき、(72)式は、 $6 \times \{ 0 \times I_{s1} + 0.5 \times I_{s2} \} \approx \{ I_{s1} + I_{s2} \}$ となり、 $(I_{s1}/I_{s2}) \approx (2/1)$ で設計すれば良い。

【0159】また、 $k_{cn1} = 0$ 、 $k_{cn2} = 1.0$ としたとき、(72)式は、 $6 \times \{ 0 \times I_{s1} + 1.0 \times I_{s2} \} \approx \{ I_{s1} + I_{s2} \}$ となり、 $(I_{s1}/I_{s2}) \approx (5/1)$ で設計すれば良い。

【0160】また、 $k_{cn1} = 0.05$ 、 $k_{cn2} = 0.5$ としたとき、(72)式は、 $6 \times \{ 0.05 \times I_{s1} + 0.5 \times I_{s2} \} \approx \{ I_{s1} + I_{s2} \}$ となり、 $(I_{s1}/I_{s2}) \approx (2.86/1)$ で設計すれば良い。

【0161】第1の回路例

図15は本発明に係る遅延回路の第2の実施形態を適用した第1の回路例を示す回路図である。図示のように、本例の遅延回路は、遅延部200a及び当該遅延部200aに制御電圧あるいはバイアス電圧を供給するAC加算手段によって構成されている。遅延部200aは、電源ライン側および接地ライン側にMOS型の電流源トランジスタが設けられているインバータ型の遅延段によって構成され、電流源の制御電圧あるいはバイアス電圧として、 V_{cntp1} 、 V_{cntp2} 、 V_{cntn1} 、 V_{cntn2} が供給されている。

【0162】例えば、初段の遅延段において電源ライン側の電流源は、 V_{cntp1} がゲートソース間に入力され、※

$$\Delta V_{cnj} = \{ C_{dnj} / (C_{snj} + C_{dnj}) \} \Delta V_{dd} = k_{cnj} \times V_{dd}$$

$$\text{但し、} k_{cnj} = \{ C_{dnj} / (C_{snj} + C_{dnj}) \}$$

... (74)

※トランジスタサイズが W_{p1}/L_{p1} のPMOS電流源トランジスタP11と、 V_{cntp2} がゲートソース間に入力され、トランジスタサイズが W_{p2}/L_{p2} のPMOS電流源トランジスタP12が並列に接続している。また、初段の遅延段の接地ライン側の電流源は、 V_{cntn1} がゲートソース間に入力され、トランジスタサイズが W_{n1}/L_{n1} のNMOS電流源トランジスタN11と、 V_{cntn2} がゲートソース間に入力され、トランジスタサイズが W_{n2}/L_{n2} のNMOS電流源トランジスタN12が並列に接続している。

【0163】制御電圧またはバイアス電圧 V_{cntp1} 、 V_{cntp2} 、 V_{cntn1} 、 V_{cntn2} の供給ラインには、電源電圧の変動をある適当な割合でフィードバックするAC的加算手段が設けられている。例えば、初段の遅延段において、上記のトランジスタN11の V_{qs} における ΔV_{cn1} の電圧を加算するAC的な手段は、NMOS1のゲート入力ラインと接地ラインの間に設けられたキャパシタ C_{sn1} とN11のゲート入力ラインと電源ラインの間に設けられたキャパシタ C_{dn1} によるAC的な分圧回路で構成され、トランジスタN12の V_{qs} における ΔV_{cn2} の電圧を加算するAC的な手段は、N12のゲート入力ラインと接地ラインとの間に設けられたキャパシタ C_{sn2} とN12のゲート入力ラインと電源ラインとの間に設けられたキャパシタ C_{dn2} によるAC的な分圧回路で構成される。

【0164】トランジスタP11の V_{qs} における ΔV_{cp1} の電圧を加算するAC的手段は、P11のゲート入力ラインと電源ラインとの間に設けられたキャパシタ C_{dp1} とP11のゲート入力ラインと接地ラインの間に設けられたキャパシタ C_{sp1} によるAC的な分圧回路で構成され、トランジスタP12の V_{qs} における ΔV_{cp2} の電圧を加算するAC的手段は、P12のゲート入力ラインと電源ラインの間に設けたキャパシタ C_{dp2} とP12のゲート入力ラインと接地ラインの間に設けたキャパシタ C_{sp2} によるAC的な分圧回路で構成される。

【0165】即ち、分圧回路によって得られた制御電圧の変動分は、それぞれ次式によって求められる。

【数74】

【0166】

* * 【数75】

$$|\Delta V_{cpj}| = \{C_{spj} / (C_{dpj} + C_{spj})\} \Delta V_{dd} = k_{cpj} \times V_{dd}$$

但し、 $k_{cpj} = \{C_{spj} / (C_{dpj} + C_{spj})\}$

… (75)

【0167】(19)式と(20)式の関係より、(7 ※れ次のように書き換えられる。

0)式、(71)式は、図15に対応した形に、それぞれ※ 【数76】

$$\{(\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL})\}$$

$$= 2 \sum \{ (W_{nj} / L_{nj}) (V_{cntnj} - V_{thn}) \Delta V_{cnj} \} / \sum \{ (W_{nj} / L_{nj}) (V_{cntn}$$

$$j - V_{thn})^{**2} \}$$

… (76)

【0168】

★ ★ 【数77】

$$(\Delta V_{thL} / V_{thL})$$

$$= 2 \sum \{ (W_{pj} / L_{pj}) (|V_{cntpj} - V_{thp}|) \Delta |V_{cpj}| \} / \sum \{ (W_{pj} / L_{p}$$

$$j) (V_{cntpj} - V_{thp})^{**2} \}$$

… (77)

【0169】上記の(74)式から(77)式を満足するように遅延回路を設計することにより、電源ノイズの影響の小さいインバータ型の遅延回路、電圧制御遅延回路、電圧制御発振回路を実現できる。

☆ $dd/2$ で、連続した遅延段2段で電源ノイズの影響を吸収できれば良い場合には、(76)式と(77)式の左辺は、 $\Delta V_{dd} / V_{dd}$ に置き直すことが可能である。即ち、次の式が得られる。

【0170】(3)式から(28)式の導出過程を参考 20 【0171】

にすると、 ΔV_{thL} が分からない場合でも、 $V_{thL} \approx V_{\star}$ 【数78】

$$(\Delta V_{dd} / V_{dd})$$

$$= 2 \sum \{ (W_{nj} / L_{nj}) (V_{cntnj} - V_{thn}) \Delta V_{cnj} \} / \sum \{ (W_{nj} / L_{nj}) (V_{cntn}$$

$$j - V_{thn})^{**2} \}$$

… (78)

【数79】

$$(\Delta V_{dd} / V_{dd})$$

$$= 2 \sum \{ (W_{pj} / L_{pj}) (|V_{cntpj} - V_{thp}|) \Delta |V_{cpj}| \} / \sum \{ (W_{pj} / L_{p}$$

$$j) (V_{cntpj} - V_{thp})^{**2} \}$$

… (79)

【0172】第2の回路例

図16は本発明に係る遅延回路の第2の実施形態を適用した第2の回路例を示す回路図である。図示のように、本例の遅延回路は、図15に示す本実施形態の第1の回路例と異なる点は、本例の遅延回路において制御電圧あるいはバイアス電圧として供給される V_{cntp1} 、 V_{cntp2} 、 V_{cntn1} 、 V_{cntn2} のうち、 V_{cntp2} と V_{cntn2} については、AC的加算手段が設けられているが、 V_{cntp1} と V_{cntn1} については、キャパシタの分圧によるAC的加算手段が設けられているのではなく、電源電圧の変動の影響を防ぎ、ゲートソース間電圧を安定化させるためのキャパシタ C_{dp1} 、 C_{sn1} のみ設けられている点である。

【0173】トランジスタNM11の V_{gs} における電源電圧の変動 ΔV_{dd} による影響を発生しにくくする手段として、N11のゲート入力ラインと接地ラインとの間にキャパシタ C_{sn1} が設けられており、トランジスタP11の V_{gs} における電源電圧の変動による影響を発生しにくくする手段として、P11のゲート入力ラインと電源ラインとの間にキャパシタ C_{dp1} が設けられている。即

ち、 $\Delta V_{cn1} = 0$ 、 $\Delta V_{cp1} = 0$ である。このため、入力される制御電圧またはバイアス電圧 V_{cntp1} と V_{cntn1} は、電源電圧 V_{dd} の変動による影響を受けることなく、遅延部200aに供給される。

【0174】遅延部200aにおいて、例えば、初段の遅延段では、CMOSインバータの電源ライン側に接続されている電流源トランジスタP11のゲートに、制御電圧 $V_{cp1} = V_{cntp1}$ が印加され、電流源トランジスタP12のゲートに、制御電圧 $V_{cp2} = V_{cntp2} + \Delta V_{cp2}$ が印加される。一方、CMOSインバータの接地ライン側に接続されている電流源トランジスタN11のゲートに、制御電圧 $V_{cn1} = V_{cntp1}$ が印加され、電流源トランジスタN12のゲートに、制御電圧 $V_{cn2} = V_{cntp2} + \Delta V_{cn2}$ が印加される。

【0175】トランジスタN12の V_{gs} へのAC的な加算手段は、N12のゲート入力ラインと接地ラインとの間に設けられたキャパシタ C_{sn2} とN12のゲート入力ラインと電源ラインとの間に設けられたキャパシタ C_{dn2} からなるAC的な分圧回路で構成され、トランジスタP12の V_{gs} へのAC的な加算手段は、P12

のゲート入力ラインと電源ラインとの間に設けられたキャパシタ C_{dp2} と $P12$ のゲート入力ラインと接地ラインとの間に設けられたキャパシタ C_{sp2} からなるAC的な分圧回路で構成されている。即ち、電源電圧 V_{dd} の変動 ΔV_{dd} によって制御電圧 V_{cntn2} と V_{cntp2} に与える影響 ΔV_{cn2} と ΔV_{cp2} は、それぞれ次式によって求まる。

$$|\Delta V_{cp2}| = \{C_{sp2} / (C_{dp2} + C_{sp2})\} \times \Delta V_{dd} \quad \dots (81)$$

キャパシタ C_{sn2} 、 C_{dn2} 及び C_{dp2} 、 C_{sp2} の値は、AC的な分圧とDC的な分圧が一致するような比に設定する。即ち、次式が得られる。

$$\{C_{dn2} / (C_{sn2} + C_{dn2})\} = (V_{cntn2} / V_{dd}) \quad \dots (82)$$

【数83】

$$\{C_{sp2} / (C_{dp2} + C_{sp2})\} = (|V_{cntp2}| / V_{dd}) \quad \dots (83)$$

【0178】したがって、 ΔV_{cn2} と ΔV_{cp2} は、それぞれ次式によって求まる。

【数84】

$$\Delta V_{cn2} = (V_{cntn2} / V_{dd}) \times \Delta V_{dd} \quad \dots (84)$$

【数85】

$$\Delta V_{cp2} = (V_{cntp2} / V_{dd}) \times \Delta V_{dd} \quad \dots (85)$$

【0179】ここで、 $\Delta V_{cn} = 0$ 、 $\Delta V_{cp1} = 0$ お★

$$\begin{aligned} & \{ (W_{n1} / L_{n1}) / (W_{n2} / L_{n2}) \} \\ & \approx \{ (V_{cntn2} - V_{thn})(V_{cntn2} + V_{thn}) \} / \{ (V_{cntn1} - V_{thn})^2 \} \end{aligned} \quad \dots (86)$$

【数87】

$$\begin{aligned} & \{ (W_{p1} / L_{p1}) / (W_{p2} / L_{p2}) \} \\ & \approx \{ (V_{cntp2} - V_{thp})(V_{cntp2} + V_{thp}) \} / \{ (V_{cntp1} - V_{thp})^2 \} \end{aligned} \quad \dots (87)$$

【0181】例えば、 $V_{cntn1} \approx |V_{cntp1}| \approx (1/2)V_{dd}$ 、 $V_{cntn2} \approx |V_{cntp2}| \approx (\sqrt{5/6})V_{dd} \approx 0.373 V_{dd}$ 、さらに $V_{thn} \approx |V_{thp}| \approx (1/6)V_{dd}$ の場合に、 $\{ (W_{n1} / L_{n1}) / (W_{n2} / L_{n2}) \} \approx \{ (W_{p1} / L_{p1}) / (W_{p2} / L_{p2}) \} \approx 1$ となる。

【0182】このような回路構成にすることで、好適には、 V_{cntn1} と V_{cntp1} の方を、チャージポンプ出力に連なる制御電圧専用の供給ラインとして用いて、 V_{cntp2} と V_{cntn2} の方を、電源ノイズの影響を低減するためのバイアス電源専用の供給ラインとして用いるというように目的を分けて設計することができる。さらに好適には、 V_{cntn2} を発生するバイアス回路および V_{cntp2} を発生するバイアス回路130と132を設けて、それらのバイアス回路は電源ノイズの影響を低減するためのDC的な加算手段としての働きをさせる。

【0183】バイアス電圧 V_{cntn2} を発生するバイアス回路132において、電流源トランジスタ $N12$ のゲート

$$|V_{cntp2}| = \{R_{dp2} / (R_{dp2} + R_{sp2})\} \times V_{dd} \quad \dots (89)$$

*【0176】

【数80】

$$\Delta V_{cn2} = \{C_{dn2} / (C_{sn2} + C_{dn2})\} \times \Delta V_{dd} \quad \dots (80)$$

【数81】

*

10※【0177】

【数82】

※

★よび(84)式、(85)式を(78)式と(79)式へ代入してまとめると、電源ノイズの影響を小さくできるトランジスタサイズの比は、次式によって与えられる。

【0180】

【数86】

☆ト入力ラインと接地ラインとの間に、抵抗成分 R_{sn2} と電流源トランジスタ $N12$ のゲート入力ラインと電源ラインとの間の抵抗成分 R_{dn2} の分圧比により、次式に示す分圧電圧 V_{cntn2} が発生される。

【0184】

【数88】

$$V_{cntn2} = \{R_{sn2} / (R_{sn2} + R_{dn2})\} \times V_{dd} \quad \dots (88)$$

40 【0185】バイアス電圧 V_{cntp2} を発生するバイアス回路130において、電流源トランジスタ $P12$ のゲート入力ラインと電源ラインとの間の抵抗成分 R_{dp2} と電流源トランジスタ $P12$ のゲート入力ラインと接地ラインとの間の抵抗成分 R_{sp2} の分圧比により、次式に示す分圧電圧 V_{cntp2} が発生される。

【0186】

【数89】

【0187】DC的な加算は、当然なことながら、(88)式、(89)式より、それぞれ次式のように求められる。

【0188】

【数90】

$$\Delta V_{cn2} = (V_{cntn2} / V_{dd}) \times \Delta V_{dd} \quad \dots (90)$$

【数91】

$$\Delta V_{cp2} = (V_{cntp2} / V_{dd}) \times \Delta V_{dd} \quad \dots (91)$$

【0189】本例の遅延回路において、キャパシタからなるAC的な加算手段だけでなく、抵抗素子で構成されるDC的な加算手段も備わっているため、広い周波数成分の電源ノイズに対して有効である。

【0190】第3の回路例

図17は本発明に係る遅延回路の第2の実施形態を適用した第3の回路例を示す回路図である。本回路例が図16に示す第2の回路例と異なる点は、制御電圧あるいはバイアス電圧として供給される V_{cntp1} 、 V_{cntp2} 、 V_{cntn1} 、 V_{cntn2} のうち、 V_{cntp2} と V_{cntn2} が共通の

10

*

$$V_{cntn2} \approx (V_{dd} + V_{thn} - |V_{thp}|) / 2 \approx V_{dd} / 2 \quad \dots (93)$$

【数94】

$$|V_{cntp2}| \approx (V_{dd} + |V_{thp}| - V_{thn}) / 2 \approx V_{dd} / 2 \quad \dots (94)$$

【0195】図17に示すように、DC的な加算手段を兼ねた基準電圧発生回路は、好適には、電流源トランジスタN12とP12の共通のゲート入力ラインと接地ラインとの間の抵抗成分 R_{s2} と、電流源トランジスタN12とP12の共通のゲート入力ラインと電源ラインとの*

※間の抵抗成分 R_{d2} で構成されている分圧回路142を含む。

【0196】即ち、バイアス電圧は、DC的な分圧により生成される。

【数95】

$$V_{cntn2} = \{R_{s2} / (R_{s2} + R_{d2})\} \times V_{dd} \approx V_{dd} / 2 \quad \dots (95)$$

【数96】

$$|V_{cntp2}| = \{R_{d2} / (R_{s2} + R_{d2})\} \times V_{dd} \approx V_{dd} / 2 \quad \dots (96)$$

なお、ここで、 $R_{s2} \approx R_{d2}$ である。抵抗部分 R_{s2} 、 R_{d2} はMOSトランジスタなどで形成しても良い。

【0197】また、図18に示すように、DC的な加算手段を兼ねた基準電圧発生回路は、好適には、電源ライン側に設けられた V_{thp} 分の電圧を発生するためのゲートとドレインが接続したPMOSトランジスタと、接地ライン側に設けられた V_{thn} 分の電圧を発生するためのゲートとドレインが接続したNMOSトランジスタと、上記、2つのトランジスタのドレイン間を直列に接続する同じ抵抗値の2つの抵抗素子 R_{d2} と R_{s2} からなる分圧回路142aを含む。分圧回路142aにおいて、2つの抵抗素子 $d2$ と R_{s2} の接続中点より基準電圧(バイアス電圧)が出力される。なお、図18において、分

50

【0191】図17に示すように、遅延部200aにおいて、各遅延段の電源ライン側の電流源トランジスタに供給される制御電圧 $V_{cp2} = V_{cntp2} + \Delta V_{cp2}$ と接地ライン側の電流源トランジスタに供給される制御電圧 $V_{cn2} = V_{cntn2} + \Delta V_{cn2}$ は、同じ制御電圧ラインで供給される。

【0192】例えば、初段の遅延段において、接地ライン側の電流源トランジスタN12のゲート入力ラインと電源ライン側の電流源トランジスタP12のゲート入力ラインは共通であり、概ね、トランジスタN12とトランジスタP12の実効的なゲートソース間電圧が同じになるような制御電圧(V_{cp2} と V_{cn2})が基準電圧発生回路140により供給される。

【0193】即ち、次の式が成り立つ。

【数92】

$$V_{cntn2} - V_{thn} \approx |V_{cntp2} - V_{thp}| \quad \dots (92)$$

【0194】ところで、 $V_{cntn2} + |V_{cntp2}| = V_{dd}$ であるから、次の式が得られる。

【数93】

【0199】

* * 【数97】

$$\Delta V_{cn2} = \{C_{d2} / (C_{s2} + C_{d2})\} \times \Delta V_{dd} \approx \Delta V_{dd} / 2$$

... (97)

【数98】

$$|\Delta V_{cp2}| = \{C_{s2} / (C_{d2} + C_{s2})\} \times \Delta V_{dd} \approx \Delta V_{dd} / 2$$

... (98)

【0200】さて、バイアス電圧側、即ち、電圧 V_{cntn} と V_{cntp2} 側において、 $V_{cntn2} \approx |V_{cntp2}| \approx V_{dd}/2$ であり、制御電圧側、即ち、電圧 V_{cntn1} と V_{cntp1} 側においても、 $V_{cntn1} \approx |V_{cntp1}| \approx V_{dd}/2$ であるとする、(86)式と(87)式より、電源ノイズ

※ズの影響を小さくできるトランジスタサイズの比は、次式によって与えられる。

【0201】

【数99】

$$\{(W_{n1}/L_{n1}) / (W_{n2}/L_{n2})\} = [\{ (V_{dd}/2) + V_{thn} \} / \{ (V_{dd}/2) - V_{thn} \}]$$

... (99)

【数100】

$$\{(W_{p1}/L_{p1}) / (W_{p2}/L_{p2})\} = [\{ (V_{dd}/2) + |V_{thp}| \} / \{ (V_{dd}/2) - |V_{thp}| \}]$$

... (100)

【0202】例えば、 $V_{thn} \approx |V_{thp}| \approx (1/6) V_{dd}$ の場合、 $\{(W_{n1}/L_{n1}) / (W_{n2}/L_{n2})\} \approx \{(W_{p1}/L_{p1}) / (W_{p2}/L_{p2})\} \approx 2$ となる。

【0203】このような回路構成にすると、AC的加算手段に必要なキャパシタの個数とDC的加算手段に必要な抵抗素子の個数が半分にできるし、好適には、制御電圧の反転電圧を発生させるための基準電圧($\approx V_{dd}/2$)発生回路の出力をそのまま利用することにより、回路規模の増加を遅延段の電流源トランジスタの増加のみに抑えられるという利点がある。

【0204】図20は、図17及び図18に示す本発明の第2の実施形態を適用した第3の回路例を電圧制御発振回路に適用した場合のシミュレーションの結果を示している。図20において、 W_4 が電源ノイズがない場合のシミュレーション波形で、 W_5 が電源ノイズがある場合の従来例を用いたシミュレーション波形で、 W_6 が電源ノイズがある場合の本第3の回路例を用いたシミュレーション波形である。図示のように、本発明の第2の実施形態を適用した遅延回路により、電源ノイズによる影響が大幅に低減され、ジッタが大幅に低減できることが明らかである。

★

$$\Delta \tau_{ofi} = \tau_{ofi} \left(\{ (\Delta V_{dd} - \Delta V_{thL}) / (V_{dd} - V_{thL}) \} - [2 \sum \{ (W_{nj} / L_{nj}) (V_{cntnj} - V_{thn}) k_{cnj} \Delta V_{dd} \} / \sum \{ (W_{nj} / L_{nj}) (V_{cntnj} - V_{thn})^{**2} \}] \right)$$

... (101)

【0209】

☆ ☆ 【数102】

$$\Delta \tau_{ori} = \tau_{ori} \left\{ (\Delta V_{thL} / V_{thL}) - [2 \sum \{ (W_{pj} / L_{pj}) (|V_{cntpj}| - V_{thp}) k_{cpj} \Delta V_{dd} \} / \sum \{ (W_{pj} / L_{pj}) (V_{cntpj} - V_{thp})^{**2} \}] \right\}$$

... (102)

【0210】さて、 $V_{dd} - V_{thL} \approx V_{thL} \approx V_{dd}/2$ で、 $V_{cntnj} = |V_{cntpj}| = V_{ctyp}$ とすると、(101)式と(102)式は、下記に変形される。

【0211】

【数103】

$$\Delta \tau_{ofi} = \tau_{ofi} \times (\Delta V_{dd} / V_{dd}) \times \{1 - (\{V_{dd} / (V_{ctyp} - V_{thn})\} \{2 \sum \{ (W_{nj} / L_{nj}) k_{cnj} \} / \sum (W_{nj} / L_{nj}) \})\} \dots (103)$$

【0212】

* * 【数104】

$$\Delta \tau_{ori} = \tau_{ori} \times (\Delta V_{dd} / V_{dd}) \times \{1 - (\{V_{dd} / (V_{ctyp} - V_{thp})\} \{2 \sum \{ (W_{pj} / L_{pj}) k_{cpj} \} / \sum (W_{pj} / L_{pj}) \})\} \dots (104)$$

【0213】(103)式と(104)式において、 $\{V_{dd} / (V_{ctyp} - V_{thn})\}$ 及び $\{V_{dd} / (V_{ctyp} - V_{thp})\}$ の項は、電源電圧 V_{dd} や制御電圧 V_{ctyp} に関係なく、一定の値に保てば、特定の k_{cnj} 、 k_{cpj} 、 W_{nj} / L_{nj} 、 W_{pj} / L_{pj} の組み合わせでも、制御電圧 V_{ctyp} に関係なく $\Delta \tau_{ofi} \approx \Delta \tau_{ori} \approx 0$ とすることができる。即ち、次式を満足するようなフィードバックループを設ければ良い。

【0214】

【数105】

$$k_1 \times V_{dd} \approx V_{ctyp} - V_{thn} \dots (105)$$

【0215】ただし、 V_{ctyp} に追従して V_{dd} も変化するため、 V_{ctyp} に対する遅延時間の変化率(即ち、VCO 回路のゲイン)が約2/3に落ちて発振周波数域が狭くなることと、 V_{ctyp} の電圧に従って、遅延段出力の振幅が変化するため、他の回路とのインターフェイスを考えなければいけないことに注意する必要がある。さらに、外付け回路で遅延段の V_{dd} を発生させる場合には、 V_{ctyp} の最大電圧に対応した V_{dd} の最大電圧がデバイスの最大電圧を越える恐れがあることなどに、注意を要する。*

$$V_{cmp} = \{R_1 / (R_1 + R_2)\} \times (V_{dd} - V_{GS}) + V_{GS} \dots (106)$$

【0219】さらに、図21及び図22に示す回路において、 $V_{ctyp} = V_{cmp}$ になるように制御されるので、(102)式、(103)式より、次式が得られる。

【数107】

$$(R_2 / R_1) = \{(1 - k_1) / k_1\} \dots (107)$$

【数108】

$$V_{GS} = \{1 / (1 - k_1)\} \times V_{thn} \dots (108)$$

【0220】(108)式より、図23における電圧 V_{GS} を発生するトランジスタは、 k_1 の値によっては、2段あるいは3段でも良い。また、 V_{GS} を発生するトランジスタがなく抵抗だけの分圧による場合でもある程度の効果は得られる。

【0221】(103)式、(104)式における $\{V_{dd} / (V_{ctyp} - V_{thn})\}$ 及び $\{V_{dd} / (V_{ctyp} - V_{thp})\}$ の値を一定に保つその他の方法として、これらの項と k_{cnj} や k_{cpj} を掛け合わせた値の変動を少なくする方法が考えられる。 k_{cnj} と k_{cpj} は、(74)式、(75)式で与えられるが、これらのキャパシタを

接合容量で形成したとする。

【0222】第4の実施形態

図24は、本発明の遅延回路、電圧制御遅延回路または

※【0216】図21は、本発明の第3の実施形態の遅延回路、電圧制御遅延回路及び電圧制御発振回路を示す構成図である。図示のように、本実施形態では、電源ノイズの影響を低減できる制御電圧範囲、発振周波数範囲を拡大するため、制御電圧と電源電圧が一定の関係を保つ手段が設けられる。

【0217】図21では、PLL、またはDLLにより制御電圧 V_{cntn1} を制御して、 V_{cntn1} により遅延回路(または電圧制御遅延回路、電圧制御発振回路)に供給される電源電圧 V_{dd} を制御する場合の回路例である。なお、図22は、PLL、DLLにより遅延回路に供給される電源電圧 V_{dd} を制御し、さらに電源電圧 V_{dd} により V_{cntn1} を制御する場合の回路例である。さらに、図23は(105)式の関係を成り立たせるための参照電圧 V_{cmp} を発生するための参照電圧発生回路170を示す回路図である。

【0218】図23において、参照電圧 V_{cmp} は、次式によって与えられる。

【数106】

電圧制御発振回路の第4の実施形態を示す回路図である。本実施形態では、電源ノイズの影響を低減できる制御電圧範囲、発振周波数範囲を拡大するため、AC的加算手段を構成する容量素子に電圧可変容量素子、即ち接合容量素子を用いる。

【0223】通常、半導体素子に生成される接合容量 C_j の容量値は、次式によって与えられる。

【数109】

$$C_j (V_{BD}) \approx C_0 / \{(V_{pb} + V_{BD})^{*m_j}\} \dots (109)$$

【0224】(109)式において、 V_{BD} は外部からPN接合に印加される逆バイアス電圧、 $C_j (V_{BD})$ は、電圧 V_{BD} が印加されときの容量値、 V_{pb} 及び m_j は、デバイス定数である。通常シリコン(Si)半導体チップの中では、 $V_{pb} \approx 1.0V$ 、 $m_j \approx 0.5$ の程度の値をとるが、周波数連倍やパラメトリック増幅用のバラクタには、傾斜接合($m \approx 1/3$)、階段接合($m_j \approx 1/2$)が多く使われ、電子同調用の可変容量ダイオードには、超階段接合($m_j \approx 1/2 \sim 8$)が多く使われる。

【0225】図24に対応した接合容量の電圧依存性の式は、次のように与えられる。

$$\begin{aligned}C_{dnj} &\equiv C_{dn0j} / \{ (V_{pb} + V_{dd} - V_{cntnj})^{**m_{jp}} \} \\C_{snj} &\equiv C_{sn0j} / \{ (V_{pb} + V_{cntnj})^{**m_{jn}} \} \\C_{spj} &\equiv C_{sp0j} / \{ (V_{pb} + V_{dd} - |V_{cntpj}|)^{**m_{jn}} \} \\C_{dpj} &\equiv C_{dp0j} / \{ (V_{pb} + |V_{cntpj}|)^{**m_{jp}} \}\end{aligned}$$

となる。ある電圧における規格化した変化率 $\Delta C_j / C_j$ * $t_{nj} = |V_{ntpj}| = V_{ctyp}$ において、ドレイン電圧の変化 ΔV_{cnj} 、 $\Delta |V_{cpj}|$ に対する各々の容量素子の規格化した変化率 $\Delta C_j / C_j$ は、次のようになる。

【数110】

$$\Delta C_j / C_j \equiv -m_j V_{BD} / (V_{pb} + V_{BD})$$

… (110)

【0226】標準の電源電圧 V_{dd} 、標準の制御電圧 $V_{cn} * 10$

$$\begin{aligned}\Delta C_{dnj} / C_{dnj} &\equiv m_{jp} \times \Delta V_{cnj} / (V_{pb} + V_{dd} - V_{ctyp}) \\ \Delta C_{snj} / C_{snj} &\equiv -m_{jn} \times \Delta V_{cnj} / (V_{pb} + V_{ctyp}) \\ \Delta C_{spj} / C_{spj} &\equiv m_{jn} \times \Delta |V_{cpj}| / (V_{pb} + V_{dd} - V_{ctyp}) \\ \Delta C_{dpj} / C_{dpj} &\equiv -m_{jp} \times \Delta |V_{cpj}| / (V_{pb} + V_{ctyp})\end{aligned}$$

【0228】(73)式、(74)式より次の式が得ら ※【数111】

れる。

$$\begin{aligned}\Delta k_{cnj} / k_{cnj} &\equiv (\Delta C_{dnj} / C_{dnj}) - \{ (\Delta C_{snj} + \Delta C_{dnj}) / (C_{snj} + C_{dnj}) \} \\ &\equiv (1 - k_{cnj}) \{ (\Delta C_{dnj} / C_{dnj}) - (\Delta C_{snj} / C_{snj}) \} \\ &\equiv (1 - k_{cnj}) \Delta V_{cnj} [\{ m_{jp} / (V_{pb} + V_{dd} - V_{ctyp}) \} + \\ &\quad \{ m_{jn} / (V_{pb} + V_{ctyp}) \}]\end{aligned}$$

… (111)

【0229】

★ ★【数112】

$$\begin{aligned}\Delta k_{cpj} / k_{cpj} &\equiv (\Delta C_{spj} / C_{spj}) - \{ (\Delta C_{dpj} + \Delta C_{spj}) / (C_{dpj} + C_{spj}) \} \\ &\equiv (1 - k_{cpj}) \{ (\Delta C_{spj} / C_{spj}) - (\Delta C_{dpj} / C_{dpj}) \} \\ &\equiv (1 - k_{cpj}) \Delta |V_{cpj}| [\{ m_{jn} / (V_{pb} + V_{dd} - V_{ctyp}) \} + \\ &\quad \{ m_{jp} / (V_{pb} + V_{ctyp}) \}]\end{aligned}$$

… (112)

【0230】(103)式と(104)式における $\{ V_{dd} / (V_{ctyp} - V_{thn}) \}$ 及び $\{ V_{dd} / (V_{ctyp} - |V_{thp}|) \}$ の項をそれぞれ次式のようにおく。 30 ☆ $\Delta k_{vn} / k_{vn} \equiv -\Delta V_{ctyp} / (V_{ctyp} - V_{thn})$ … (115)

【0231】

【数116】

$$\Delta k_{vp} / k_{vp} \equiv -\Delta V_{ctyp} / (V_{ctyp} - |V_{thp}|)$$

… (116)

【数113】

$$k_{vn} = \{ V_{dd} / (V_{ctyp} - V_{thn}) \} \dots (113)$$

【数114】

$$k_{vp} = \{ V_{dd} / (V_{ctyp} - |V_{thp}|) \} \dots (114)$$

【0232】標準の電源電圧 V_{dd} 、標準の制御電圧 V_{cn}

$t_{nj} = |V_{cntpj}| = V_{ctyp}$ において、制御電圧の変化

ΔV_{ctyp} に対する k_{vn} 、 k_{vp} の規格化した変化率 Δk_{vn} 40

$/k_{vn}$ 、 $\Delta k_{vp} / k_{vp}$ は、それぞれ次の式によって求ま

る。

【数115】

☆

$$\begin{aligned}1 / (V_{ctyp} - V_{thn}) \\ \equiv (1 - k_{cnj}) [\{ m_{jp} / (V_{pb} + V_{dd} - V_{ctyp}) \} + \{ m_{jn} / (V_{pb} + V_{ctyp}) \}]\end{aligned}$$

… (117)

【0235】

◆ ◆【数118】

$$\begin{aligned}1 / (V_{ctyp} - |V_{thp}|) \\ \equiv (1 - k_{cpj}) [\{ m_{jn} / (V_{pb} + V_{dd} - V_{ctyp}) \} + \{ m_{jp} / (V_{pb} + V_{ctyp}) \}]\end{aligned}$$

… (118)

【0233】標準の制御電圧 V_{ctyp} をずらしても、電源ノイズの影響を低減する効果が同じように得られるためには、(111)式、(112)式と(115)式、(116)式の相対変化率がお互いにキャンセルし合えば良い。したがって、次の式が得られる。

【0234】

【数117】

vp)]]

【0236】例えば、仮に、 $V_{ctyp} = V_{dd}/2$ 、 $V_{thn} = |V_{thp}| = V_{dd}/6$ 、 $k_{cnj} = k_{cpj} = k_{cj}$ 、 $V_{pb} = 1V$ として、そして、仮に、 $m_{jn} = m_{jp} = m_j$ とする *

$$m_j = (3/4) \{1 / (1 - k_{cj})\} \{(2 + V_{dd}) / V_{dd}\}$$

【0237】したがって、

$k_{cj} = 1/2$ 、 $V_{dd} = 3.3V$ のとき、 $m_j \approx 2.4$

$k_{cj} = 1/2$ 、 $V_{dd} = 2.2V$ のとき、 $m_j \approx 2.9$

$k_{cj} = 1/6$ 、 $V_{dd} = 3.3V$ のとき、 $m_j \approx 1.4$

$k_{cj} = 1/6$ 、 $V_{dd} = 2.2V$ のとき、 $m_j \approx 1.7$

の超階段接合の可変容量ダイオードを用いれば良い。

【0238】 C_{snj} と C_{dnj} のうちのどちらか一方、 C_{dpj} と C_{spj} のうちのどちらか一方を電圧依存性のない容量素子にした場合（例えば、プロセスとしてP+拡散※

$$m_j = (3/2) \{1 / (1 - k_{cj})\} \{(2 + V_{dd}) / V_{dd}\}$$

【0240】したがって、

$k_{cj} = 1/2$ 、 $V_{dd} = 3.3V$ のとき、 $m_j \approx 4.8$

$k_{cj} = 1/2$ 、 $V_{dd} = 2.2V$ のとき、 $m_j \approx 5.7$

$k_{cj} = 1/6$ 、 $V_{dd} = 3.3V$ のとき、 $m_j \approx 2.9$

$k_{cj} = 1/6$ 、 $V_{dd} = 2.2V$ のとき、 $m_j \approx 3.4$

の超階段接合の可変容量ダイオードを用いれば良い。

【0241】ただし、ウェハ製造工程において、超階段接合の不純物プロファイルを形成するため、パターニング工程とインブラ工程が必要であり、既存のインブラをうまく組み合わせるなどの工程増加を減らすような工夫が必要である。また、接合面におけるPN両方の不純物濃度が高いとブレイクダウン電圧が低下したりリーク電流が増加したりすることがあるので注意を要する。

【0242】なお、超階段接合容量素子を形成する場合に、ウェハプロセスが複雑になり、その結果、半導体チップのコストアップにつながる可能性が高い。この問題を解決するために、疑似的な可変容量素子によって制御電圧を制御する方法が有効である。

【0243】第5の実施形態

図25は、本発明の遅延回路、電圧制御遅延回路または電圧制御発振回路の第5の実施形態を示す回路図である。図示のように、本実施形態では、疑似的な可変容量素子を用いて制御電圧 V_{cntn2} 及び V_{cntp2} を生成するAC的加算手段を構成することによって、電源ノイズの影響を低減できる制御電圧範囲、発振周波数範囲の拡大を実現する。本実施形態では、疑似的な可変容量素子を用いることにより、超階段接合の容量素子を不要にし、ウェハプロセスの簡略化をはかり、製造コストの抑制を実現する。

$$k_{cj} = (1/2) \{B_0 + B_1/2^{**1} + B_2/2^{**2} + \dots + B_{(n-2)}/2^{**(n-2)} + B_{(n-1)}/2^{**(n-2)}\}$$

... (118)

*と、 m_j は、次式のように求められる。

【数119】

$$\{(2 + V_{dd}) / V_{dd}\}$$

... (119)

※層かN+拡散層のどちらか一方だけ超階段接合の可変容量ダイオードを形成可能にした場合は、(111)式の $\Delta C_{snj} = 0$ または $\Delta C_{dnj} = 0$ 、(112)式の $\Delta C_{dpj} = 0$ または $\Delta C_{spj} = 0$ に相当するので、逆に m_j には、2倍の値が必要になる。即ち、 m_j は次式によって求められる。

【0239】

【数120】

$$\{(2 + V_{dd}) / V_{dd}\}$$

... (120)

★【0244】図26は、本発明の疑似的な可変容量素子の構成を示す回路図である。図示のように、疑似的な可変容量素子160は、2の冪乗に従って容量値が設定された n 個のキャパシタと、それぞれのキャパシタに接続された n 個のインバータと、これらのインバータに制御信号を供給する容量分圧比選択回路162によって構成されている。

【0245】キャパシタの一方の端子が共通に接続され、他方の端子がそれぞれインバータの出力端子に接続されている。インバータの入力端子は容量分圧比選択回路162に接続されている。容量分圧比設定回路162は、入力される容量分圧比設定信号 S_{cn} にしたがってそれぞれのインバータに制御信号を出力する。インバータの出力信号 $B_0, B_1, \dots, B_{(n-1)}$ に応じて、各キャパシタの容量が制御される。例えば、インバータの出力がハイレベルのとき、そのインバータの出力端子に接続されているキャパシタは電源ラインに接続した容量素子として働く。一方、インバータ出力信号がローレベルのとき、そのインバータの出力端子に接続されているキャパシタは接地ラインに接続した容量素子として働く。

【0246】この可変容量素子160をAC的加算手段として用いた場合、インバータ出力がハイレベルのとき $B_i = 1$ 、インバータ出力がローレベルのとき $B_i = 0$ とすると、電源電圧の変動を制御電圧やバイアス電圧にフィードバックする割合 k_{cj} は、次の式によって与えられる。

【0247】

★【数121】

... (121)

即ち、 k_{cj} は0から1まで、 $1/2^{n-1}$ 刻みで可変できる。

【0248】図27が疑似的に可変な特性にするための制御回路の例である。例えば、割り込み信号が発生し、モードが変化したときに、モード毎の初期設定プログラムにより、疑似的な可変容量素子や可変の抵抗分圧回路に対して、電源電圧、温度またはプロセスバラツキが標準の状態ではモードとしては最適とされる設定をまず与える。そして、実際は諸条件が異なり、制御電圧が変わっているため、好適には、AD変換器で時々制御電圧をモニターして、電源ノイズの影響が小さくなるように再設定しフィードバックをかけていく。

【0249】このような制御を行なうことで、制御電圧が変化しても、ほぼ電源ノイズの影響を低減した状態を保つことが可能である。制御系の回路規模は非常に大きい、ドットクロックを発生させるためのPLL回路をマイクロコンピュータなどの半導体チップに搭載した場合などは、ハードウェアの増加はほとんどなく、ソフトウェア（プログラム）の改良のみによってほとんど実現できるので、コストの増加が必要最小限に抑制しながら、電源ノイズの影響を低減できる遅延回路、電圧制御遅延回路または電圧制御発振回路を実現できる。なお、図示しないが図3、図9、図15、図16、図17、図24、図25に示した遅延段を図19に示したような差動構成の遅延段に置き換えた実施形態においても、本発明の電源ノイズの影響を低減する効果を得ることができる。

【0250】第6の実施形態

本発明の第6の実施形態では、相反する遅延時間の電源電圧依存性を有する2種類以上の遅延段群の組み合わせによって複合遅延回路を構成することによって、遅延回路全体の遅延時間が電源電圧の依存性を低減できる遅延回路、電圧制御遅延回路または電圧制御発振回路を提供する。

【0251】図28は、従来のインバータ型遅延段を用いた電圧制御発振回路の一例を示す回路図である。図示のように、インバータ型の遅延段を用いたVCDやVCOにおいては、出力信号を取り出したり、スタンバイのとき回路を停止させたり、複数の位相がずれた信号を取り出したり、あるいは、汎用性を持たせるため遅延段の段数を可変にしたりするために、少なくとも遅延回路の1〜2箇所には、バッファとしてのインバータや、論理ゲートとしてのNANDゲートやNORゲートやトランスマッションゲートが組み込まれることが多い。

【0252】さて、このようなバッファや論理ゲートには、制御信号やバイアス信号が入力されていないので、電源ノイズの影響を受ける。このため、この部分については電源ノイズがあると遅延時間の変動が発生してしまう。

【0253】電源電圧を V_{dd} 、MOSトランジスタのし

きい電圧を V_{tht} とすると、バッファや論理ゲート部分の遅延時間 τ_c は、概ね、次式によって求まる。

【数122】

$$\tau_c \propto V_{dd} / (V_{dd} - V_{tht})^{**2} \quad \dots (122)$$

【0254】ところで、電源ライン側と接地ライン側の両方に電流源のトランジスタを設けた電流源型の遅延段の遅延時間 τ_a は、制御電圧を V_{cnt} とすると、概ね、次式によって求まる。

【数123】

$$\tau_a \propto V_{dd} / (V_{cnt} - V_{tht})^{**2} \quad \dots (123)$$

【0255】また、シャント型の遅延段の遅延時間 τ_s は、制御電圧を V_{sht} とすると、概ね、次式によって求まる。

【数124】

$$\tau_s \propto \{V_{sht} - V_{tht}(V_{SB})\} / (V_{dd} - V_{tht})^{**2} \quad \dots (124)$$

【0256】したがって、バッファや論理ゲートの遅延時間は電源電圧に反比例し、電源電圧が高くなると遅延時間は小さくなる。逆に、電流源型の遅延段の遅延時間は電源電圧に比例し、電源電圧が高くなると遅延時間は大きくなる。シャント型の遅延段の遅延時間は電源電圧の2乗で反比例し、電源電圧が高くなると遅延時間が小さくなる。

【0257】第1の回路例

図29は、本実施形態の遅延回路における遅延部の第1の回路例を示す回路図である。図示のように、遅延部300aは、異なる電源電圧依存性を持つ2種類の遅延段、即ち、Aタイプ遅延段とBタイプ遅延段をそれぞれ隣り合わせて構成されている。

【0258】図30は、Aタイプ遅延段とBタイプ遅延段の遅延特性を示すグラフである。図30(a)は、Aタイプ遅延段の遅延特性を示し、同図(b)は、Bタイプ遅延段の遅延特性を示している。なお、ここで、Aタイプ遅延段は、例えば、電源ライン側または接地ライン側に電流源トランジスタが設けられるインバータ型の遅延段からなり、Bタイプ遅延段は、例えば、シャント型の遅延段、バッファまたは論理ゲートなどからなる。

【0259】図30(a)に示すように、Aタイプ遅延段は、電源電圧の変動 ΔV_{dd} に対して、遅延時間の変化 $\Delta \tau_a$ が正の特性を示す。即ち、電源電圧 V_{dd} の増加に伴い、遅延時間 τ_a が増加し、逆に電源電圧 V_{dd} が低下すると、遅延 τ_a が低下する。これに対して、図30(b)に示すように、Bタイプ遅延段は、電源電圧の変動 ΔV_{dd} に対して、遅延時間の変化 $\Delta \tau_b$ が負の特性を示す。即ち、電源電圧 V_{dd} の増加に伴い、遅延時間 τ_b が低下し、逆に電源電圧 V_{dd} が低下すると、遅延 τ_b が増加する。

【0260】このように互いに相反する遅延特性を持つ2種類の遅延段を組み合わせるによって、構成された遅延部300aにおいて、電源電圧 V_{dd} が変化した場

合、隣り合うAタイプ遅延段とBタイプ遅延段の遅延時間の変化が互いに打ち消し合うので、遅延部全体の遅延時間の変化を抑制できる。特に、Aタイプ遅延段とBタイプ遅延段それぞれの遅延特性を調整し、電源電圧 V_{DD} の変化分 ΔV_{DD} に対して、それぞれの遅延段の遅延時間の変化の合計が $(\Sigma \tau_c + \Sigma \tau_b \approx 0)$ を満たすように設計することによって、遅延回路の電源電圧依存性をほぼ解消できる。また、本実施形態の遅延回路によれば、遅延段2段ないし4段程度の遅延時間よりも十分大きな幅の電源ノイズに対して、遅延時間への電源ノイズの影響を低減できる。

【0261】第2の回路例

図31は、本実施形態の遅延回路における遅延部の第2の回路例を示す回路図である。図示のように、遅延部300bは、異なる電源電圧依存性を持つ2種類の遅延段、即ち、Cタイプ遅延段とBタイプ遅延段をそれぞれ所定の数を用いて構成されている。例えば、図示のように、遅延部300bにおいて、2段のCタイプ遅延段に続いて、一段のBタイプ遅延段が接続されている。

【0262】図32は、Cタイプ遅延段の遅延特性を示している。図32(a)に示すように、Cタイプ遅延段は、電源電圧の変動 ΔV_{DD} に対して、遅延時間の変化 $\Delta \tau_c$ が正の特性を示す。即ち、電源電圧 V_{DD} の増加に伴い、遅延時間 τ_c が増加し、逆に電源電圧 V_{DD} が低下すると、遅延 τ_c が低下する。即ち、Cタイプ遅延段は、Aタイプ遅延段と同じように、正の遅延特性を持つ。ただし、電源電圧 V_{DD} の変化量 ΔV_{DD} に対して、Cタイプ遅延段の遅延時間変化量 $\Delta \tau_c$ がAタイプ遅延段の遅延時間変化量より小さい。即ち、 $(\Delta \tau_c / \Delta V_{DD} < \Delta \tau_a / \Delta V_{DD})$ 。

【0263】Cタイプ遅延段は、例えば、Aタイプ遅延段において電源ノイズの対策が施されたが、電源ノイズの影響が一部残るように形成されている遅延段である。なお、Bタイプ遅延段の遅延特性は、図32(b)に示すように、負の遅延特性を持つ。また、ここで、Bタイプ遅延段は、例えば、シャント型の遅延段、バッファまたは論理ゲートなどからなる。

【0264】上述したように、Cタイプ遅延段は、電源ノイズ対策が施された結果、電源電圧依存性がわずかに残っている。これに対して、Bタイプ遅延段は、電源ノイズ対策が施されることなく、電源依存性が大きい。このため、図31に示すように、本実施形態の遅延部300bにおいて、Bタイプ遅延段よりCタイプ遅延段が多く設けられ、遅延部全体の電源電圧依存性の抑制する。例えば、 $(\Sigma \tau_c + \Sigma \tau_b \approx 0)$ を満たすように遅延部300bを構成するCタイプ遅延段及びBタイプ遅延段の数を設定することによって、Cタイプ遅延段の電源電圧依存性とBタイプ遅延段の電源電圧依存性が互いに打ち消し、遅延部300bの電源電圧依存性をほぼ解消できる。また、本実施形態の遅延回路によれば、遅延段3

段程度の遅延時間よりも十分大きな幅の電源ノイズに対して、遅延時間への電源ノイズの影響を低減できる。

【0265】なお、本実施形態の遅延回路は、図31に示す構成に限定されることなく、例えば、図32(a)及び(b)に示す遅延特性を持つAタイプ遅延段とDタイプ遅延段を適当な割合で構成することも可能である。

【0266】第3の回路例

図33は、本実施形態の遅延回路における遅延部の第3の回路例を示す回路図である。図示のように、遅延部300cは、異なる電源電圧依存性を持つ複数種類の遅延段、例えば、Aタイプ遅延段、Bタイプ遅延段、Cタイプ遅延段及びEタイプ遅延段をそれぞれ所定の数を用いて構成されている。例えば、図示のように、遅延部300cにおいて、制御電圧またはバイアス電圧を入力するAタイプ遅延段の他に、電源ノイズの影響を低減する措置が施されたEタイプ遅延段と、電源ノイズの影響を受けるバッファや論理ゲートからなるBタイプ遅延段が設けられている。

【0267】実際のインバータ型の遅延回路においては、途中の遅延段の出力信号を取り出すためのバッファや、遅延段の段数を可変にするための切り替え回路などとして、バッファ、論理ゲートまたはトランスミッションゲートが所々に組み込まれている。バッファや論理ゲートはBタイプの遅延段として考えられるが、特に遅延段の段数を可変にするための切り替え回路の部分としてBタイプの遅延段が設けられる。

【0268】このため、バッファや論理ゲートが周辺に存在しない遅延段については、電源ノイズの影響を低減する措置が施されたEタイプあるいはFタイプの遅延段が設けられる。また、バッファや論理ゲートのBタイプの遅延段が集中して存在する遅延段の段数切り替え回路の前後については、集中したBタイプの特性を打ち消すためにAタイプの遅延段か、あるいはAタイプに近いCタイプの遅延段として設計して、Aタイプ遅延段とBタイプ遅延段、あるいは、Cタイプ遅延段とBタイプ遅延段の複合遅延回路300c1としての遅延時間への電源ノイズの影響が最も小さくなるように設計する。

【0269】また、バッファや論理ゲートからなるBタイプ遅延段が比較的孤立して存在する前後の遅延段は、Cタイプの遅延段として設計して、CタイプとBタイプの複合遅延回路300c2としての遅延時間への電源ノイズの影響が最も小さくなるように設計する。

【0270】このような様々な工夫によって、実際のインバータ型の遅延回路、電圧制御遅延回路、電圧制御発振器における遅延時間への電源ノイズの影響を低減することができる。

【0271】第7の実施形態

図35は、本発明に係る電圧制御発振回路の第7の実施形態を示す回路図である。図示のように、本実施形態の電圧制御発振回路では、複数の遅延段がリング状に接続

されてリング発振回路が構成されている。

【0272】遅延回路、電圧制御遅延回路または電圧制御発振回路では、遅延時間、あるいは発振周波数を広い範囲に対応するためなどで、遅延段の段数を可変にすることがしばしば行われている。このような場合、段数の切り替え回路およびその前後には、制御電圧やバイアス電圧の制御を受けないバッファ、論理ゲートまたはトランスマッションゲートが集中して配置されている。

【0273】図35に示すように、この例では、Bタイプ遅延段によって構成されている切り替え回路が設けられている。当該Bタイプ遅延段は、例えば、バッファまたは論理ゲートによって構成され、外部から入力される切り替え制御信号に応じて、切り替えを行い、リング発振回路に組み込まれている遅延段の数を切り替えることによって、リング発振回路の発振周波数を切り替える。

【0274】切り替え回路として設けられているBタイプ遅延段は、制御電圧あるいはバイアス電圧 V_{cntn} 、 V_{cntp} の制御を受けないので、電源ノイズの影響を受けて、遅延時間が変化してしまうことがある。このため、遅延回路全体の遅延時間の電源電圧依存性を抑制するために、図35に示すように、Bタイプ遅延段の前後に、異なる電源電圧依存性を持つ他の遅延段、例えば、Cタイプ遅延段が配置され、電圧電圧が変化した場合、これらの遅延段の遅延時間の変化が互いに打ち消すように設計されることによって、遅延回路全体の遅延時間の電源電圧の依存性を低減できる。

【0275】制御電圧の制御を受けないBタイプ遅延段の前後に、異なる電源電圧依存性を持つ他の遅延段を接続されている回路部分では、不感時間が生じることがある。以下、図36、37及び38を参照しつつ、ラグリードフィルタを用いたPLL回路における不感時間について説明する。

【0276】図36はラグリードフィルタを用いたドットクロック発生用のPLL回路の一例を示す回路図である。なお、ここで、ドットクロックは、例えば、テレビモニタに通常の映像画面に重畳して文字などの情報を表示するために用いられるクロック信号である。このクロック信号は、映像信号を表示するための水平同期信号に同期する必要があるため、通常、水平同期信号を基準クロックとして、PLL回路によって生成される。

【0277】図36に示すPLL回路は、位相比較器10、チャージポンプ回路20-1、20-2、フィルタ30、電圧制御発振器(VCO)40及び分周器50によって構成されている。分周器50は、VCO40によって生成されるクロック F_{ref} を、分周比設定信号 S_n に応じて設定された分周比 N で分周し、分周信号 N_{out} を出力する。位相比較器10は、基準クロック信号としての水平同期信号 H_{sync} と分周信号 N_{out} の位相を比較し、これらの信号の位相差に応じて、アップ信号 S_{up} またはダウン信号 S_{down} を出力する。チャージポンプ回路2

0-1、20-2は、位相比較器10から出力されるアップ信号 S_{up} またはダウン信号 S_{down} に応じて、電流 I_{cp1} と I_{cp2} を生成し、フィルタ30に供給する。

【0278】フィルタ30は、図示のように、ラグリードフィルタによって構成されている。キャパシタC1の容量値は、キャパシタC2より十分大きく、即ち $C1 \gg C2$ である。キャパシタC1は、例えば、外付けである。フィルタ30によって、チャージポンプ回路20-1と20-2の出力電流に応じて、制御信号 V_{cnt} が生成される。VCO40は、制御信号 V_{cnt} によって制御された発振周波数で発振し、発振信号 F_{out} を出力する。

【0279】なお、図示していないが、ドットクロック信号は、例えば、PLL回路の出力信号 F_{out} を受けて、水平同期信号 H_{sync} の立ち下がりエッジに同期させて分周を開始する分周器によって発生する。

【0280】図37に、ラグリードフィルタの動作時の信号波形を示す波形図である。基準クロック信号としての水平同期信号 H_{sync} の立ち上がりエッジと分周器の出力信号 N_{out} の立ち下がりエッジの位相差を位相比較器で検出して、チャージポンプ回路を駆動するアップ信号 S_{up} またはダウン信号 S_{down} を発生する。水平同期信号 H_{sync} の立ち上がりエッジより分周信号 N_{out} の立ち下がりエッジが遅れているときは、アップ信号 S_{up} を発生して、水平同期信号 H_{sync} の立ち上がりエッジよりも分周信号 N_{out} の立ち下がりエッジが先行しているときは、ダウン信号 S_{down} を発生して、同時のときはどちらも発生しない。

【0281】ここで、水平同期信号 H_{sync} の周期を T 、アップ信号 S_{up} またはダウン信号 S_{down} の幅(PLLのジッタ)を ΔT とする。ラグリードフィルタの出力電圧 V_{cnt} には、抵抗素子 R に生じた電圧変化分 $S1$ と、キャパシタC1に生じた電圧変化分 $S2$ が含まれている。抵抗素子 R に生じた電圧変化分 $S1$ は、アップ信号 S_{up} またはダウン信号 S_{down} が発生された ΔT の期間に、抵抗 R に I_{cp1} の電流が流れることによって、 $\Delta V1 = I_{cp1} \times R$ の電圧変化が発生するパルス状の信号 $S1 = V1 \times \Delta T$ の変化である。キャパシタC1に生じた電圧変化分 $S2$ は、 ΔT の時間だけ $(I_{cp1} + I_{cp2})$ の電流が流れた分の電荷量がアップ信号 S_{up} またはダウン信号 S_{down} が終了した後も $(C1 + C2) \approx C1$ のキャパシタに残っていることによる $\Delta V2 \approx (I_{cp1} + I_{cp2}) \times \Delta T / (C1 + C2)$ の電圧変化が $(T \pm \alpha) \approx T$ の間続く、時間軸に沿って細長い $S2 \approx V2 \times T$ の変化である。

【0282】ラグリードフィルタ30においては、位相引込は角速度の変化(\propto 周波数の変化 \propto 制御電圧の変化) \times 時間で行なわれるので、 $S1$ と $S2$ の和より行なわれるが、周波数の引込は、周波数の変化(\propto 制御電圧の変化)で行なわれるので、電圧変化が元に戻ってしま

うS1は関係なくなり、元に戻らないS2のみにより行なわれる。

【0283】したがって、 $(S1 + S2) / S2 \propto$ 位相修正量/周波数修正量となり、水平同期信号Hsyncの周波数が変化しても、S1とS2の比を一定に保つように設定することによって、PLL回路が安定した動作が得られる。

【0284】すなわち、図36に示したPLL回路では、外付けコンデンサC1の容量値は固定でも、分周器の分周比Nを水平同期信号Hsyncの周期Tに正比例して設定し、チャージポンプ回路20-1の出力電流Icp1を固定して、チャージポンプ回路20-1とチャージポンプ回路20-2の出力電流値の和(Icp1 + Icp2)を水平同期信号Hsyncの周期Tに反比例して設定することで、 $(S1 + S2) / \Delta T \propto$ 位相引込量/位相のずれ量の比(=1回にどの位の割合で修正するか)、および、 $(S1 + S2) / S2 \propto$ 位相引込量/周波数引込量の比が一定になり、安定した特性を得ることが可能である。また、VCO40は、ほとんど一定の周波数で動作すれば良い。

【0285】大規模集積回路に搭載した場合、 $\Delta V1$ の電圧は、数百mVよりは大きくできないので、固定の電圧にするか2~3倍可変にするか位の選択しかできない。したがって、Icp1を固定の電流値とし、粗いロック検出と細かいロック検出ができる場合、S2すなわちIcp2が周波数引込に関係して、 $(S1 + S2)$ すなわち(Icp1 + Icp2)が位相引込に関係するので、水平同期信号Hsyncの周波数が変化して粗いロック検出基準からはずれたら、Icp2を増加させてS2 > S1の関係にすることで周波数引込時間を短縮することが可能である。粗いロック検出基準を満足したらIcp2を減少させてS2 \approx S1の関係にして、位相引込を行なう。細かいロック検出基準も満足したら、周波数はほとんど補正する必要がなくなるのでIcp2をさらに減少させてS2 < S1の関係にして、PLL回路のフィードバックループの遅れによる過剰な周波数補正を低減することができる。

【0286】図38に、デジタルの電源ノイズに対するラグフィルタとラグリードフィルタの応答波形を比較して示す。ラグフィルタにおいては、S1に相当する部分がなく、S2に相当するS2'のみである。

【0287】ラグフィルタとラグリードフィルタの位相引込量を同じ($S1 + S2 = S2'$)に考えた場合、 $Icp1 + Icp2 = Icp2'$ のときは、 $\Delta T' = 2\Delta T$ であり、ラグリードフィルタはラグフィルタの半分のジッタ量になる。また、 $2 \times (Icp1 + Icp2) = Icp2'$ のときは、 $\Delta T' = \Delta T$ であるが、 $2\Delta V_{cnt} = \Delta V_{cnt}'$ であり、ラグフィルタでは、制御電圧の変動が2倍になってしまう。すなわち、ラグフィルタでは、S1に相当する部分がないため、デジタルの電源ノイズの影響が本来

発生して欲しくない制御電圧の変動として多く残ってしまい、結局ジッタ量が大きくなってしまふ。

【0288】S1部分は元々位相比較器のアップ信号S_{up}、またはダウン信号S_{dn}として発生されるので、位相比較器の不感帯という問題を含んでいる。したがって、位相比較器の出力で、ジッタの目標値以下のパルス幅であっても、チャージポンプ回路、ループフィルタ、バイアス回路などを経て、VCO回路あるいはVCD回路に辿り着いたときに、初めとほぼ同じパルス幅か、やや広がったパルス幅で辿り着かなければ、S1部分の有効性が得られなくなってしまうし、S2の面積も小さくなってしまい、ジッタが大きくなってしまふ。

【0289】以上の説明により、ラグリードフィルタにおけるS1部分はデジタルの電源ノイズに対して有効である。ところで、S1部分を受け取る方のVCO回路やVCD回路にも、位相比較器の不感帯と同じ問題がある。図39に一般的なインバータ型の電圧制御発振器の回路例を示す。従来、広い発振周波数範囲に対応するためなどで、遅延段の段数を可変にすることが、しばしば行なわれていた。このような場合、段数の切り替え回路およびその前後には、制御電圧やバイアス電圧の制御を受けない、バッファやトランスミッションゲートや論理ゲートが集中している。たまたま、制御電圧やバイアス電圧が絡まない部分が動作しているときに、運悪くS1部分の変化が発生するように設計してしまうと、S1部分の幅が小さいときには、S1部分の位相引込の効果は得られなくなり、ジッタが大きくなってしまふことが考えられる。

【0290】図35に示す本実施形態の電圧制御発生回路では、本発明の電源ノイズの影響を低減する方法の効果をも有効に引き出すために必要な電圧制御発振器や電圧制御遅延回路における不感時間を示している。制御電圧やバイアス電圧の制御を受けない、バッファやトランスミッションゲートや論理ゲートがある部分については、それらを連続した遅延時間がジッタ量の目標値よりも十分小さく設計する必要がある。これによって、例えば、この電圧制御発振回路を用いて、図36に示すPLL回路を構成することで、電源電圧の依存性を低減でき、安定した発振周波数を持つ発振信号を得ることができ、安定したドットクロック信号を提供することができる。

【0291】第8の実施形態

本実施形態では、本発明の遅延回路、電圧制御遅延回路または電圧制御発振回路の応用例を示す。

【0292】第1の応用例

図40は、本発明の遅延回路の一応用例を示す回路図である。この応用例は、本発明の遅延回路を用いた遅延時間調整回路である。図示のように、この遅延時間調整回路は、遅延回路60、バイアス回路70及び遅延時間選択回路80によって構成されている。

【0293】遅延時間調整回路は、半導体チップ内で、

データ信号とクロック信号のタイミングがずれてしまったときなどに、タイミングを調整するために使われる回路である。半導体チップの出力ピンに接続されている出力バッファは、大きな負荷容量を駆動するため、動作時に大きな電源ノイズが発生する。このような電源ノイズにより遅延調整調整回路のタイミングの調整量が狂ってしまうことがある。本発明を応用すれば電源ノイズによる調整量の狂いを低減できる。

【0294】遅延回路60は、例えば、上述した本発明の遅延回路であり、電源ノイズ対策が施された複数のインバータ型遅延段からなる遅延回路である。入力信号 S_{in} に対して、所定の遅延時間で遅らせた遅延信号を出力する。なお、遅延回路60は、例えば、入力信号 S_{in} に対して異なる遅延時間 $\Delta\tau_1, \dots, \Delta\tau_n$ を与えた複数の遅延信号を出力する。バイアス回路70は、バイアス電圧 V_{cnt} を生成し、遅延回路60の各遅延段に供給する。さらに、バイアス回路70は、各遅延段の遅延時間がほぼ一定となるように、電源電圧 V_{dd} の変動 ΔV_{dd} に応じてバイアス電圧 V_{cnt} のレベルを制御する。これによって、遅延回路60の遅延時間 $\Delta\tau_1, \dots, \Delta\tau_n$ は、電源電圧の依存性が低減される。遅延時間選択回路80は、外部から入力される選択信号SELに従って、遅延回路60から出力される複数の遅延信号のうち、所定の遅延信号を選択して出力する。

【0295】上述したように、この遅延時間調整回路であれば、電源電圧 V_{dd} の変動による影響を抑制でき、安定した遅延時間を得られるので、電源ノイズによる遅延時間調整量の狂いを低減できる。

【0296】第2の応用例

図41は、本発明の電圧制御発振回路(VCO)の一応用例を示す回路図であり、本発明のVCOを用いて構成されたPLL回路の回路図である。図示のように、本例のPLL回路は、位相比較器10、チャージポンプ回路20、フィルタ30、VCO40及び分周器50によって構成されている。

【0297】なお、図41に示すように、本応用例のPLL回路は、従来のPLL回路とほぼ同じ構成を有する。ただし、本発明のVCOを用いることによって、位相比較器10、チャージポンプ回路20またはフィルタ30は、従来のものと同じであっても、PLL回路が引き込み後電源ノイズに起因するジッタを著しく低減できる効果が得られる。

【0298】ただし、本発明の効果は様々な条件がうまくかみ合った場合に得られるため、広い制御電圧範囲、広い発振周波数範囲で用いる電圧制御遅延回路や電圧制御発振器にはあまり向いていない。また、基本形がインバータ型のため、数百MHzまでの用途で使用できる。

【0299】第3の応用例

図42は、本発明の電圧制御遅延回路(VCD)を応用したDLL(Delay Locked Loop)の一例を示す回路図

である。図示のように、このDLLは、位相比較器10、チャージポンプ回路20、フィルタ30、VCO40及び分周器50によって構成されている。

【0300】分周器50aは、外部から入力される基準クロック信号 CK_{ref} を2分周した分周信号CK1を位相比較器10に供給する。VCD40aは、フィルタ30から出力される制御信号 V_{cnt} に応じて遅延時間が制御される。そして、制御された遅延時間で入力信号CK1を選らせて、遅延信号S_oを出力する。位相比較器10は、クロック信号CK1とVCO40aによって出力された遅延信号S_oの位相を比較し、これらの信号の位相差に応じてアップ信号S_{up}またはダウン信号S_{dn}の何れかを出力する。

【0301】本応用例において、位相比較器10、チャージポンプ回路20及びフィルタ30は、従来のものによって構成されている。即ち、位相比較器10の位相比較結果に応じて、チャージポンプ回路20及びフィルタ30によって、分周クロック信号CK1と遅延信号S_oとの位相差に応じた制御信号 V_{cnt} が生成され、VCD40aに供給される。このため、VCD40aの遅延時間 $\Delta\tau$ は、分周クロック信号CK1と遅延信号S_oの位相差に応じて制御される。この結果、VCD40aから、分周クロック信号CK1に位相が同相する発振信号S_oを獲得できる。

【0302】本応用例のように、本発明のVCDを用いて構成されたループ発振回路によって、入力される基準クロック信号 CK_{ref} に位相同期する信号を提供できる。さらに、本発明のVCDを用いることによって、VCDの遅延時間が電源電圧 V_{dd} の変動による影響を低減でき、安定した発振信号を提供できる。

【0303】第3の応用例

図43は、本発明のVCOを用いて構成されたPLL回路及びこのPLL回路を含むドットクロック発生回路の回路図である。本例のドットクロック発生回路は、例えば、デジタルTV用のドットクロックとVBIサンプリングクロックを発生する発生回路に適用できる。PLL回路は、例えば、親画面の水平同期信号HSYNC0、または子画面の水平同期信号HSYNC1のうち何れかが選択された水平同期信号HSYNCを基準クロックとして、その立ち上がりエッジ(画面の右端に対応する)で分周器出力と同期をとり、画面右端においてチャージポンプ回路が動作する。

【0304】図示のように、PLL回路部分は、位相比較器10、チャージポンプ回路20、フィルタ30、VCO40、分周器50及びバイアス回路70によって構成される。PLL回路のほかに、制御回路400、VBIサンプリングクロック発生回路410及びドットクロック発生回路420と430が設けられ、これらの回路によって、ドットクロックを生成するドットクロック生成回路が構成される。

【0305】PLL回路部分において、インバータ型VCO回路に本発明の電源ノイズの影響を受けにくい電圧制御発振器を用いることで低ジッタのPLL回路を実現している。ドットクロック発生回路420及び430は、VCO回路の出力クロック信号S_{out}を受けて、水平同期信号のパッファ信号HSYNC0B、HSYNC1Bの立ち下がりエッジ（画面左端）に同期させてドットクロック信号を発生する。

【0306】図44は、本応用例のドットクロック生成回路が動作するシステムの電源ノイズを示す波形図である。本例のドットクロック生成回路は、図44(a)に示す水平同期信号Hsyncを基準クロックとして、ドットクロック信号を生成する。図44(b)、(d)、

(e)及び(f)は、それぞれ電源電圧V_{cc}に混入されるデジタルノイズ、画像表示系ノイズ、サーボ系ノイズ及びモーターノイズを示している。本応用例において、電源ノイズに対策が施されたVCOを用いてPLL回路を構成することによって、電源電圧V_{cc}に混入される様々なノイズによる影響を低減でき、安定した周波数を持つドットクロック信号を生成することができる。

【0307】電源ノイズの影響を受けにくいVCO回路の採用と、水平同期信号への同期方法の工夫により、高連倍のPLL回路にもかかわらず、電源電圧V_{cc}の変動による影響を抑制でき、安定した周波数を持つドットクロック信号を生成できるので、表示画面上に安定したOSD文字を表示でき、フリッカーやウェービングが見えない表示を得られている。

【0308】

【発明の効果】以上説明したように、本発明の遅延回路、電圧制御遅延回路及び電圧制御発振回路によれば、電源ノイズの影響を抑制でき、低ジッタのPLL回路、DLL回路が実現できる。また、本発明に係る電圧制御発振回路は、半導体チップに内蔵しても十分なジッタ特性が得られるため、パソコンの映像信号の表示やTVのOSD文字の表示用のドットクロック信号の発生源として用いることができる。このため、セット上の部品点数を削減できる。また、半導体チップに内蔵することで、分周比の設定も基準クロックの周波数に合わせて変更できるなど様々な制御が可能になるため、デジタル放送に対応したTVに使用できる。さらに、本発明によれば、インバータ型の遅延段が遅延回路、電圧制御遅延回路または電圧制御発振回路の基本的な構成要素なので、低消費電力化または低電源電圧化を容易に実現できる。

【図面の簡単な説明】

【図1】本発明に係る遅延回路、電圧制御遅延回路または電圧制御発振回路の第1の実施形態を示す概念図である。

【図2】本発明の第1の実施形態の構成図である。

【図3】本発明の第1の実施形態の第1の回路例を示す回路図である。

【図4】インバータ型遅延段で構成された遅延部の回路図である。

【図5】インバータ型遅延段で構成された遅延部の動作を示す波形図である。

【図6】バイアス回路と交流加算手段の構成及び等価回路を示す図である。

【図7】電源ノイズの影響を同じ割合で伝える直流加算手段と交流加算手段を示す回路図である。

【図8】本発明の第1の実施形態の第1の回路例のシミュレーション結果を示す図である。

【図9】本発明の第1の実施形態の第2の回路例を示す回路図である。

【図10】本発明の第1の実施形態の第3の回路例を示す回路図である。

【図11】シャント型遅延段で構成されている遅延部の回路図である。

【図12】シャント型遅延段で構成されている遅延部の動作を示す波形図である。

【図13】本発明の第2の実施形態の概念を示す図である。

【図14】本発明の第2の実施形態の構成図である。

【図15】本発明の第2の実施形態の第1の回路例を示す回路図である。

【図16】本発明の第2の実施形態の第2の回路例を示す回路図である。

【図17】本発明の第2の実施形態の第3の回路例を示す回路図である。

【図18】本発明の第2の実施形態の第3の回路例の他の構成例を示す回路図である。

【図19】本発明の第2の実施形態の第3の回路例の別の構成例を示す回路図である。

【図20】本発明の第2の実施形態の第3の回路例のシミュレーション結果を示す図である。

【図21】本発明の第3の実施形態を示す構成図である。

【図22】本発明の第3の実施形態の他の構成例を示す図である。

【図23】しきい値補正抵抗分圧回路の構成を示す回路図である。

【図24】本発明の第4の実施形態を示す構成図である。

【図25】本発明の第5の実施形態を示す構成図である。

【図26】可変容量素子の構成を示す回路図である。

【図27】疑似的な可変容量素子の回路例を示す回路図である。

【図28】一般的な電圧制御発振回路の一構成例を示す回路図である。

【図29】本発明の第6の実施形態の第1の回路例を示す回路図である。

【図30】本発明の第6の実施形態の第1の回路例の原理を示す図である。

【図31】本発明の第6の実施形態の第2の回路例を示す回路図である。

【図32】本発明の第6の実施形態の第2の回路例の原理を示す図である。

【図33】本発明の第6の実施形態の第3の回路例を示す回路図である。

【図34】本発明の第6の実施形態の第3の回路例の原理を示す図である。

【図35】本発明の第7の実施形態の構成を示す回路図である。

【図36】ラグリードフィルタを用いてPLL回路の回路例を示す回路図である。

【図37】ラグリードフィルタの動作を示す波形図である。

【図38】電源ノイズに対するラグフィルタとラグリードフィルタの応答波形を示す波形図である。

【図39】一般的なインバータ型の電圧制御発振回路の回路例を示す回路図である。

【図40】本発明の第1の応用例である遅延時間調整回路の構成を示す回路図である。

【図41】本発明の第2の応用例であるPLL回路の構

成を示す回路図である。

【図42】本発明の第3の応用例であるDLL回路の構成を示す回路図である。

【図43】本発明の第4の応用例であるドットクロック発生生成回路の構成を示す回路図である。

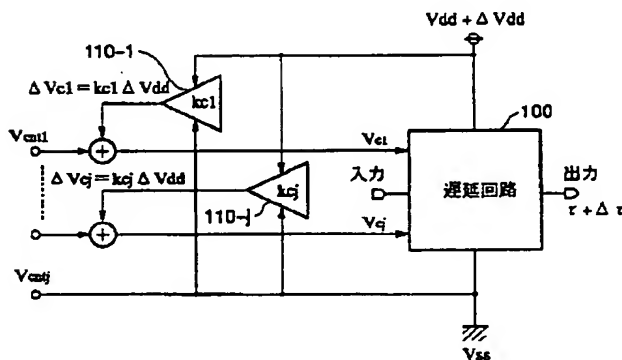
【図44】本発明の第4の応用例の動作を示す波形図である。

【図45】従来の高逡倍PLL回路におけるジッタ量と基準クロック周期との関係を示すグラフである。

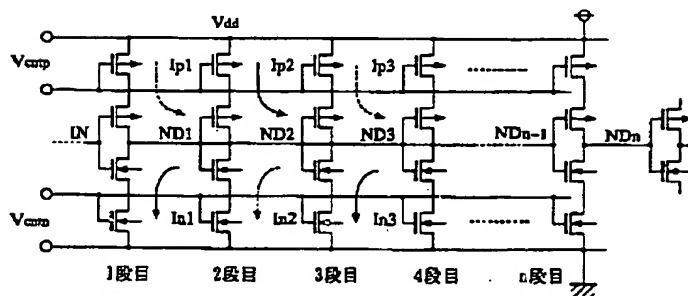
10 【符号の説明】

10…位相比較器、20…チャージポンプ回路、30…フィルタ、40…電圧制御発振回路(VCO)、40a…電圧制御遅延回路、60…遅延回路、70…バイアス回路、80…遅延時間選択回路、100、100a、100b、100c、200、200a、200b…遅延部、110、112、114、116、110-1、…、110-j…交流加算回路、130、132…直流加算回路、140、142、142a…基準電圧発生回路、150、152…直流分圧回路、160、162…疑似的な可変容量素子、170…参照電圧発生回路、300a、300b、300c1、300c2…遅延部、400…制御回路、410…VBIサンプリングクロック発生回路、 V_{dd} …電源電圧、 V_{ss} …基準電位。

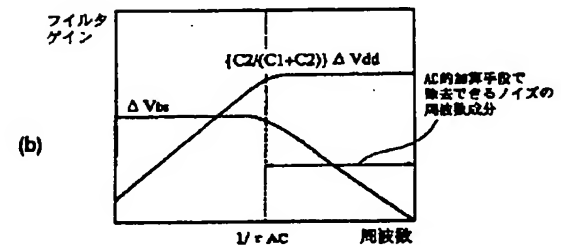
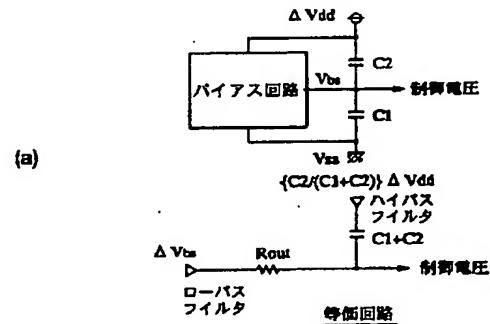
【図1】



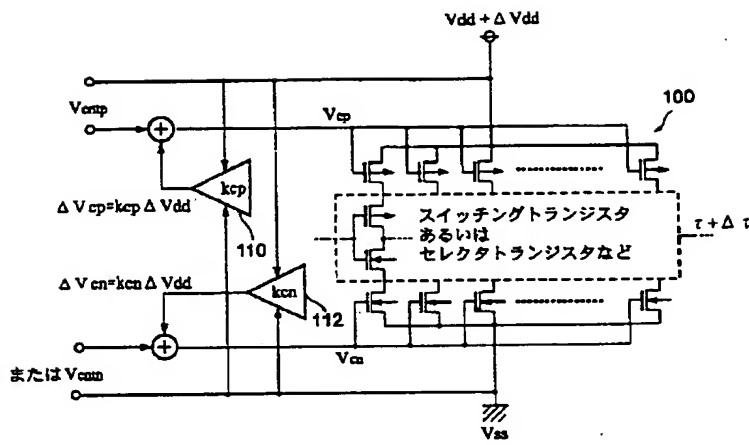
【図4】



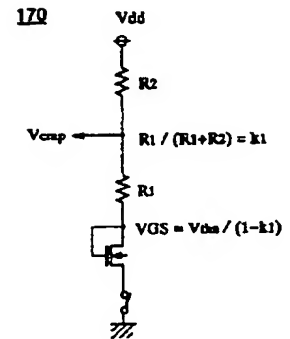
【図6】



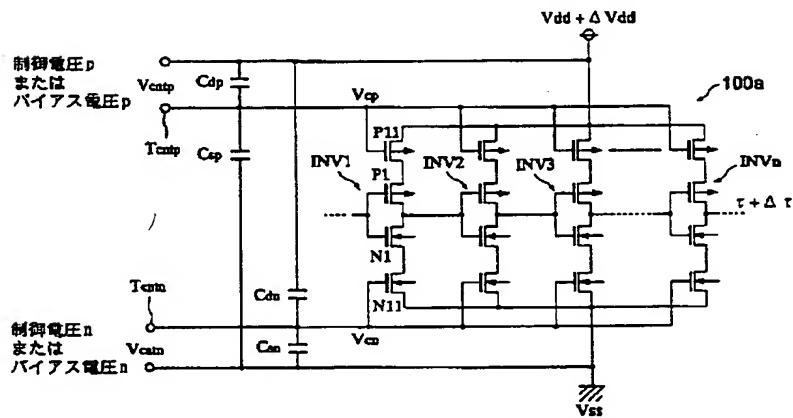
【図2】



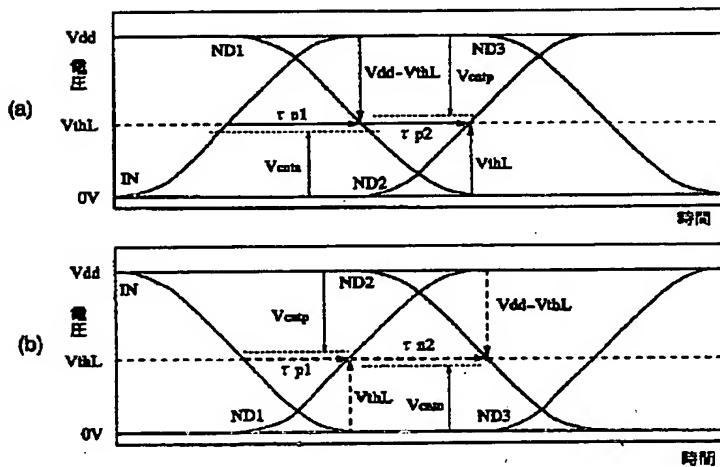
【図23】



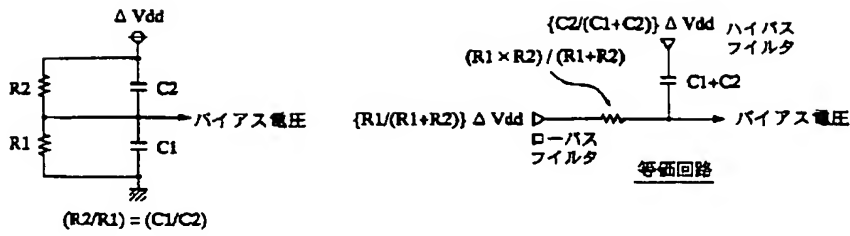
【図3】



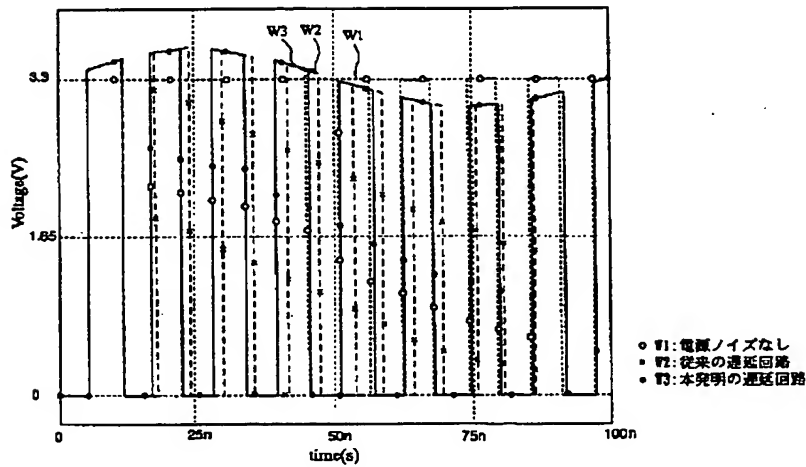
【図5】



【図7】

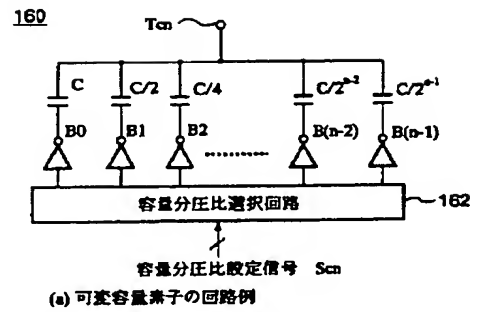


【図8】



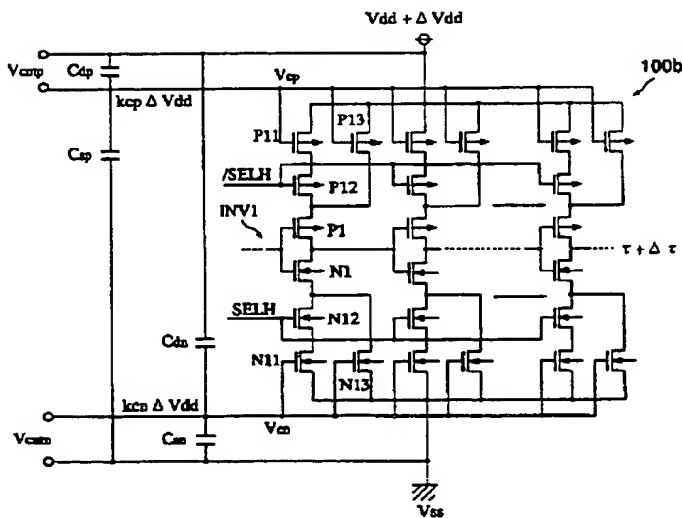
- W1: 電圧ノイズなし
- W2: 従来の遅延回路
- W3: 本発明の遅延回路

【図26】

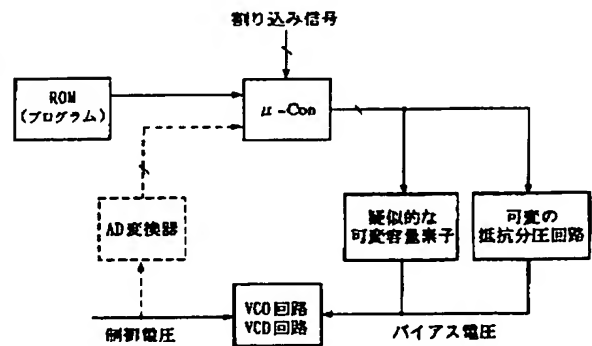


(a) 可変容量素子の回路例

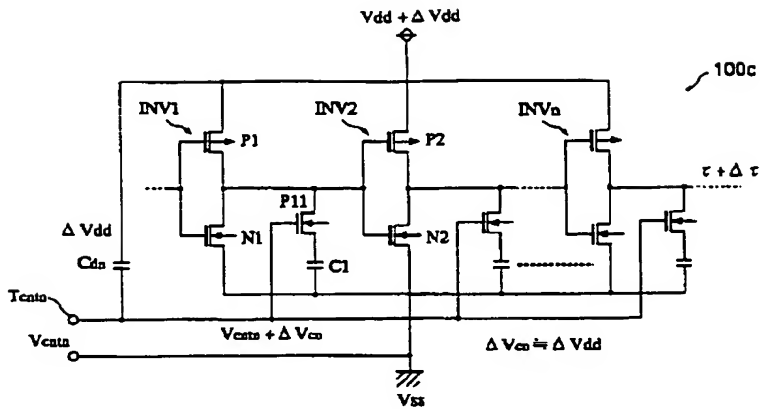
【図9】



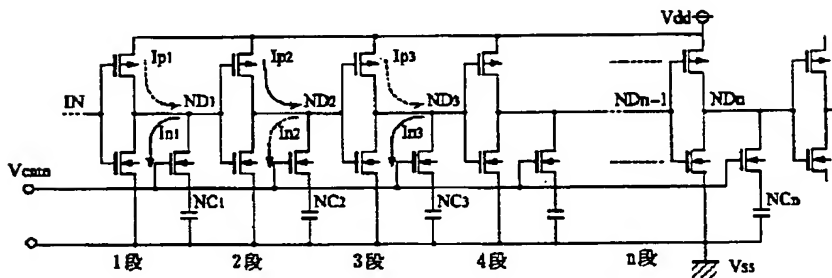
【図27】



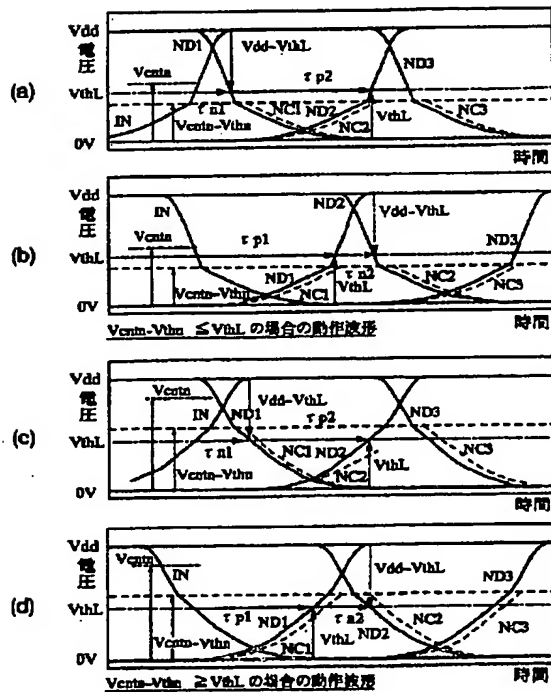
【図10】



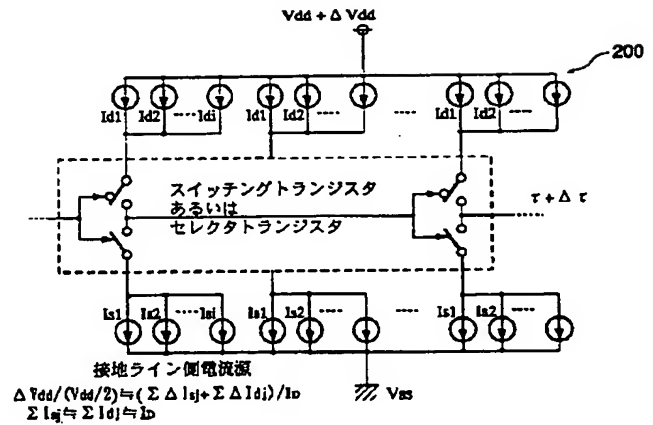
【図11】



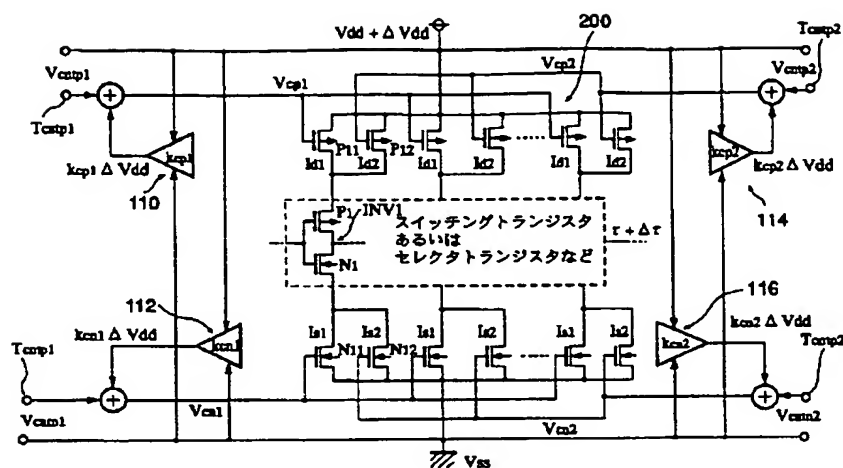
【図12】



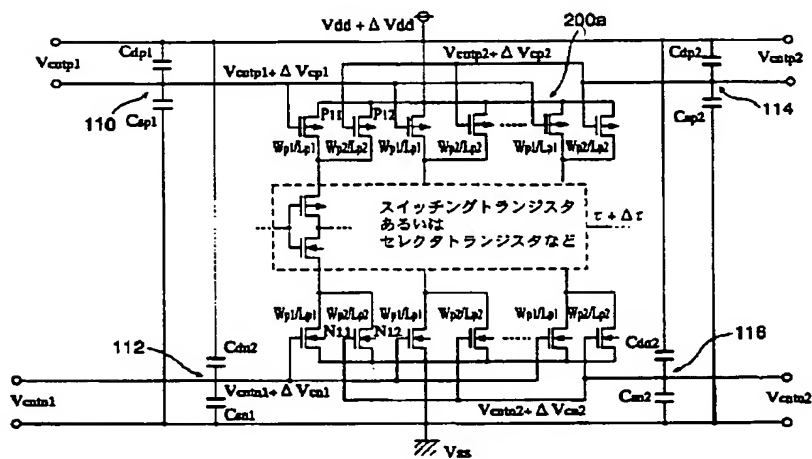
【図13】



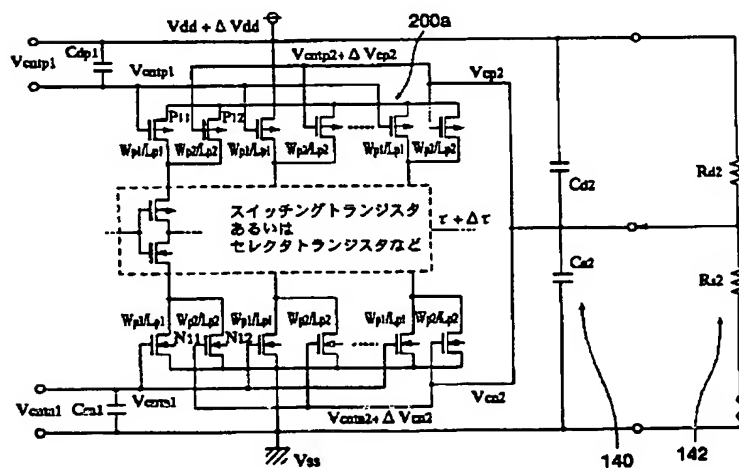
【図14】



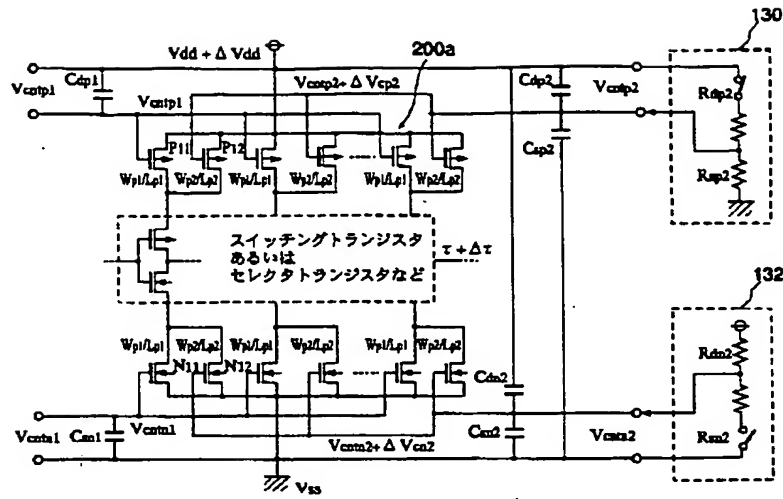
【図15】



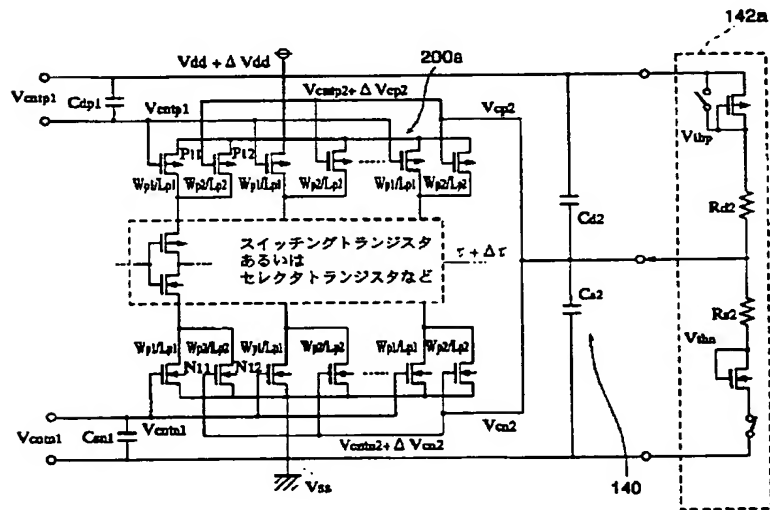
【図17】



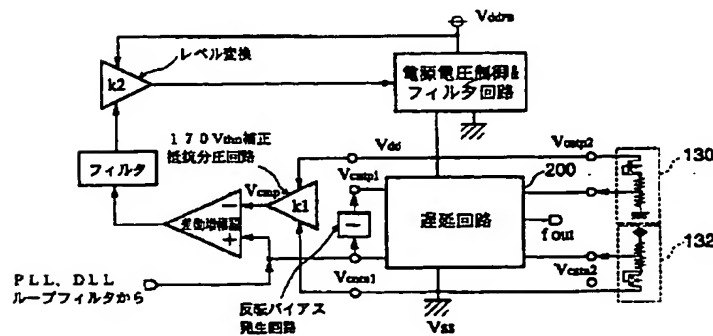
【図16】



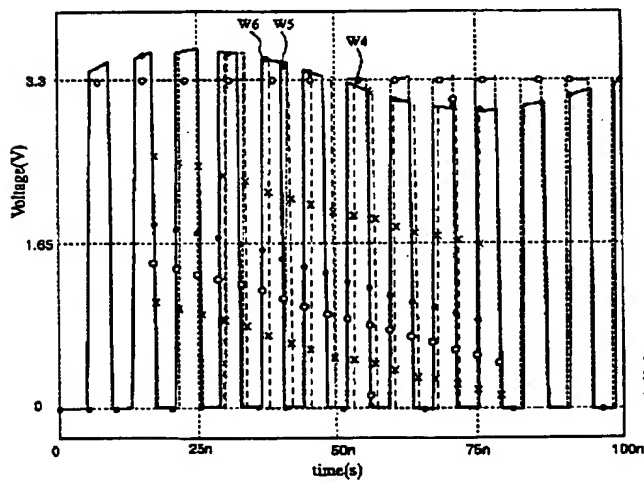
【図18】



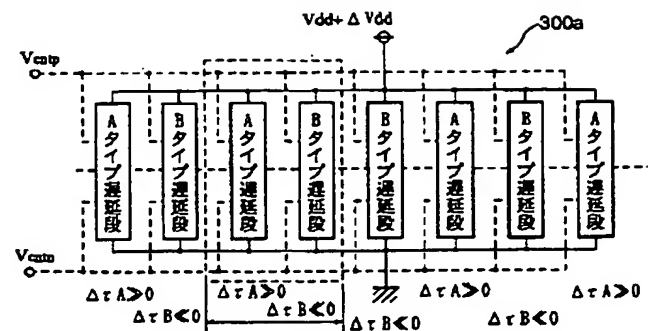
【図21】



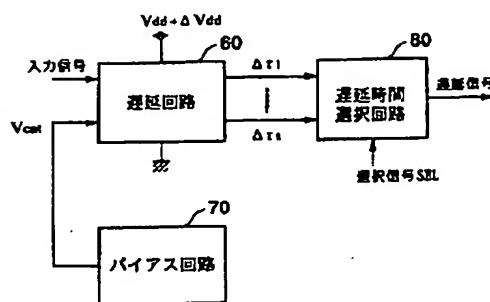
【圖 20】



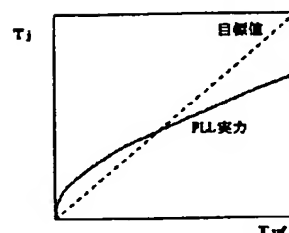
【圖 29】



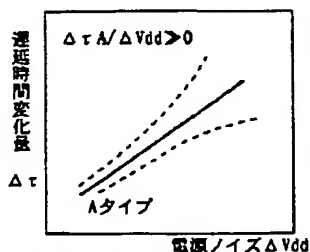
【圖40】



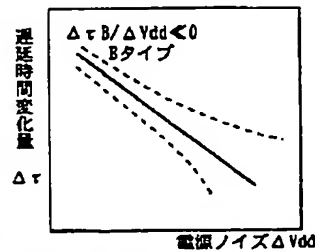
【圖 45】



【圖 30】

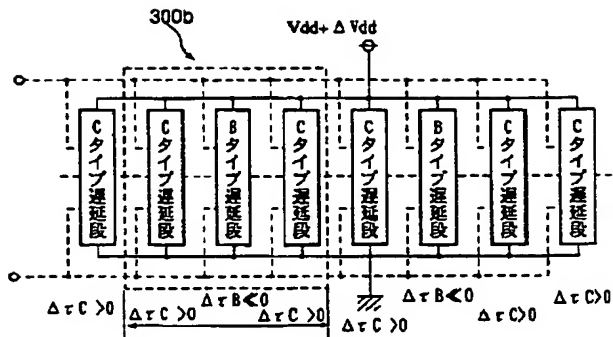


(a) 電源ノイズ対策未実施の遅延段

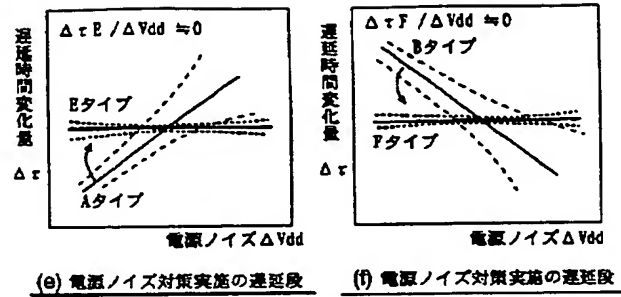


(b)電源ノイズ対策未実施の遅延段

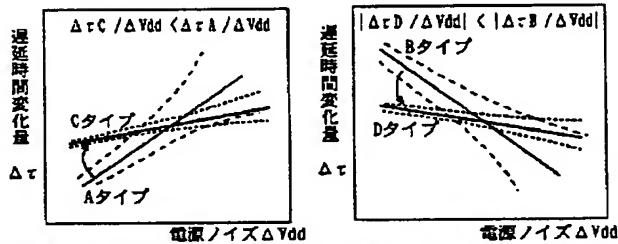
【図31】



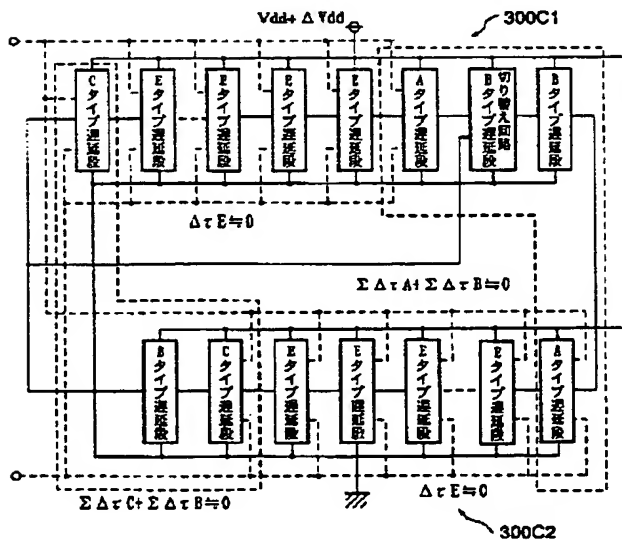
【図34】



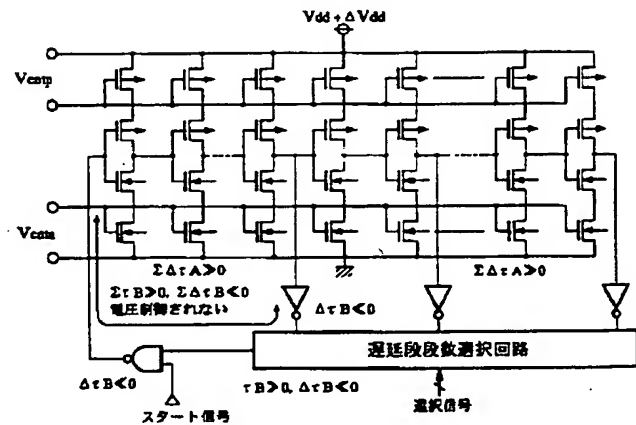
【図32】



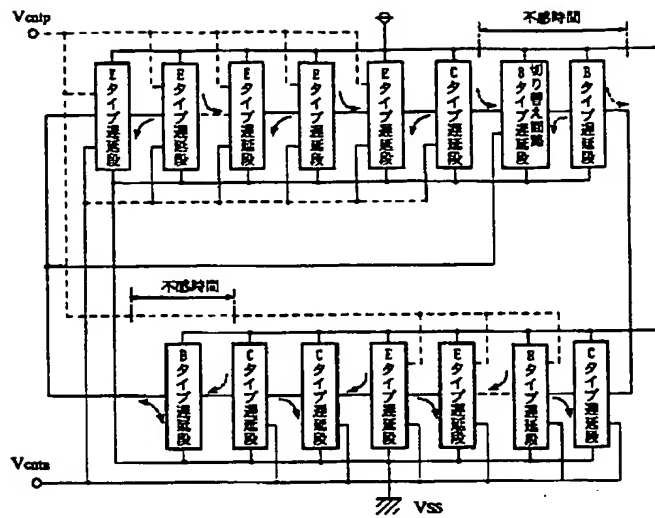
【図33】



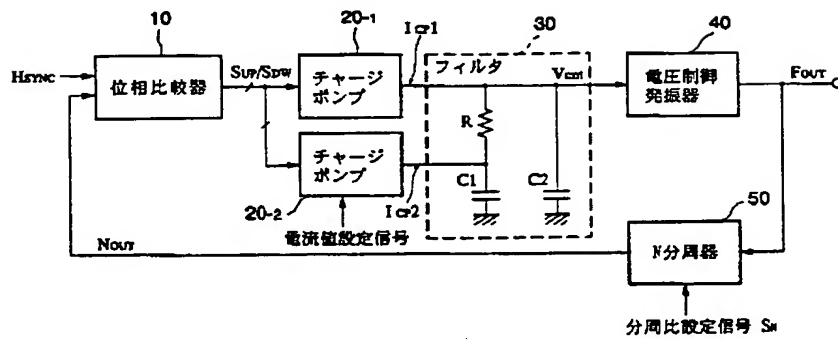
【図39】



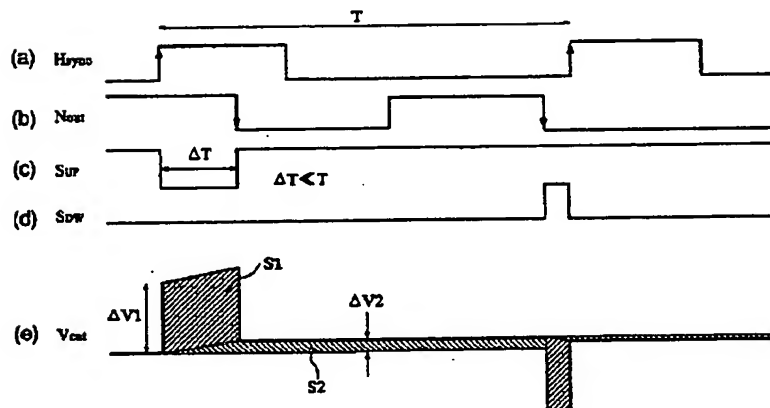
【図35】



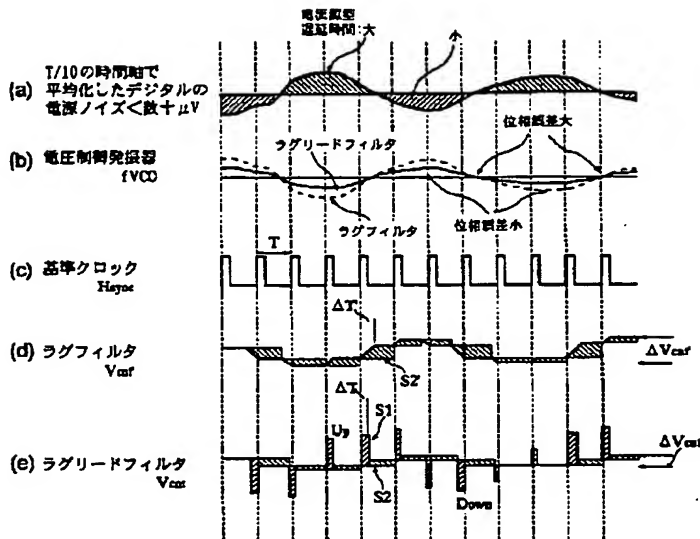
【図36】



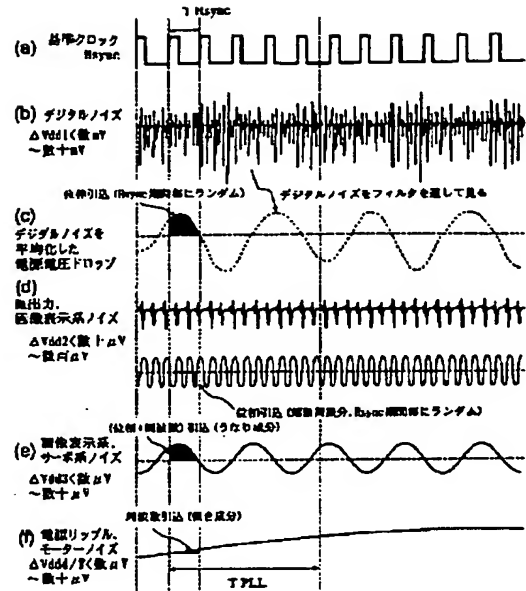
【図37】



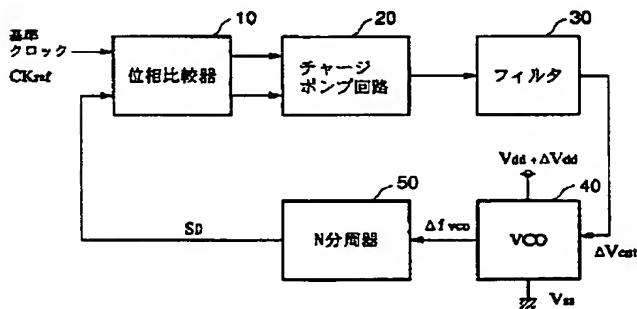
【図38】



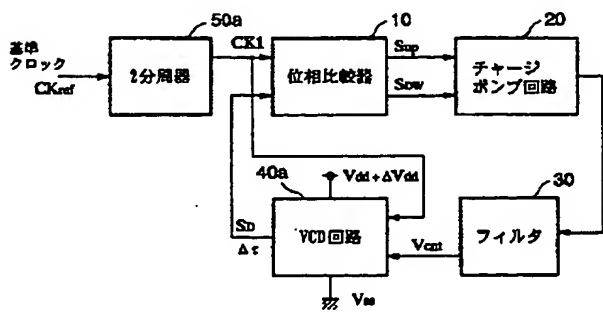
【図44】



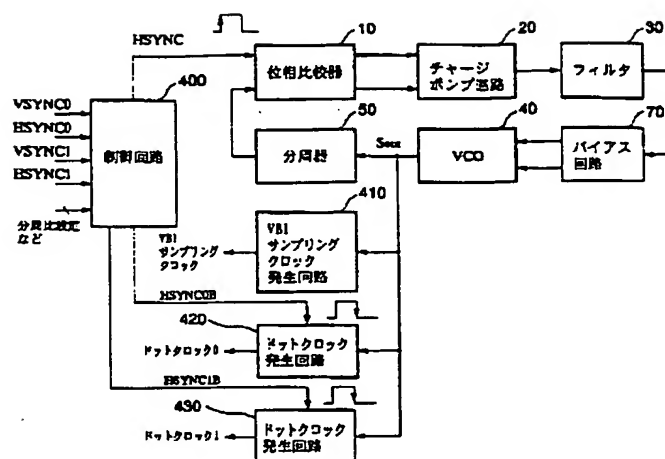
【図41】



【図42】



【図43】



フロントページの続き

F ターム(参考) 5J001 AA04 AA05 BB00 BB12 BB15
 BB20 BB25 DD01 DD03 DD06
 DD09
 5J098 AA03 AB36 AC04 AC14 AC30
 AD07 FA09
 5J106 AA04 CC15 CC58 QQ06 RR17

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.